

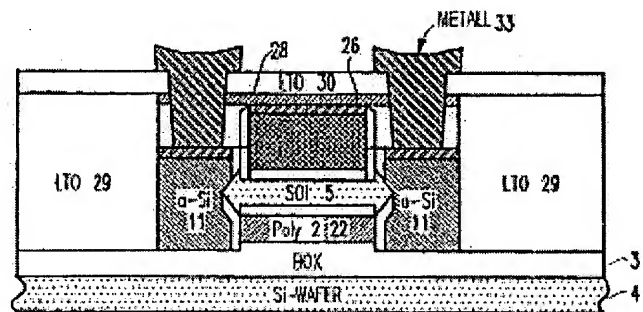
EXPRESS MAIL NO. EV529824427US

Self-aligning double gate MOSFET with separate gates has channel region, first gate above channel region, second gate below channel region; gates are electrically mutually isolated**Patent number:** DE10119411**Publication date:** 2001-11-29**Inventor:** WONG HON-SUM PHILIP (US); COHEN GUY (US)**Applicant:** IBM (US)**Classification:****- international:** H01L29/78**- european:** H01L21/336D3, H01L29/786D**Application number:** DE20011019411 20010420**Priority number(s):** US20000204131P 20000515; US20000612260
20000707**Also published as:**

JP2002016255 (A)

Abstract of DE10119411

The device has a channel region, a first gate above the channel region, a second gate below the channel region, whereby the gates are electrically mutually isolated. The first gate can have a different doping concentration from the second gate. The first gate can have a different doping material from the second gate. Gate dielectrics can be arranged below the first gate and above the second gate. Independent claims are also included for the following: a semiconducting chip with at least one transistor and a method of forming a transistor.



Data supplied from the esp@cenet database - Worldwide



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 101 19 411 A 1**

⑤① Int. Cl.⁷:
H 01 L 29/78

②① Aktenzeichen: 101 19 411.0
②② Anmeldetag: 20. 4. 2001
④③ Offenlegungstag: 29. 11. 2001

DE 101 19 411 A 1

③⑩ Unionspriorität:

204131 15. 05. 2000 US
612260 07. 07. 2000 US

⑦① Anmelder:

International Business Machines Corp., Armonk,
N.Y., US

⑦④ Vertreter:

Gigerich, J., Dipl.-Ing., Pat.-Ass., 70563 Stuttgart

⑦② Erfinder:

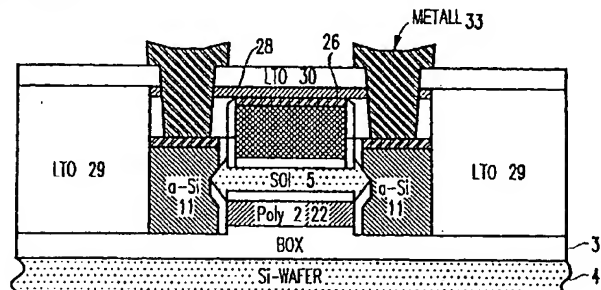
Cohen, Guy, Mohegan Lake, N.Y., US; Wong,
Hon-Sum Philip, Chappaqua, N.Y., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Selbstausrichtender Double-Gate-Mosfet mit separaten Gates

⑤⑦ Eine Struktur und ein Verfahren bereitzustellen, um einen integrierten Schaltkreis mit Double-Gate herzustellen, wobei das Verfahren enthält: die Bildung einer laminierten Struktur mit einer Kanalschicht und mit ersten Isolierschichten auf jeder Seite der Kanalschicht, die Bildung von Öffnungen in der laminierten Struktur, die Bildung von Drain- und Source-Bereichen in den Öffnungen, das Entfernen von Teilen der laminierten Struktur, um den ersten Teil einer exponierten Kanalschicht zurückzulassen, die Bildung eines ersten Gate-Dielektrikums auf der Kanalschicht, die Bildung einer ersten Gate-Elektrode auf dem ersten Gate-Dielektrikum, das Entfernen von Teilen von der laminierten Struktur, um den zweiten Teil einer exponierten Kanalschicht zurückzulassen, die Bildung eines zweiten Gate-Dielektrikums auf der Kanalschicht, die Bildung einer zweiten Gate-Elektrode auf dem zweiten Gate-Dielektrikum, das Dotieren von Drain- und Source-Bereichen mittels selbstausrichtender Ionenimplantation, wobei die erste Gate-Elektrode und die zweite Gate-Elektrode unabhängig voneinander gebildet werden.



DE 101 19 411 A 1

Beschreibung

HINTERGRUND DER ERFINDUNG

Bereich der Erfindung

[0001] Die vorliegende Erfindung bezieht sich im allgemeinen auf einen selbstausrichtenden Double-Gate-Metall-oxidhalbleiter (Metal Oxide Semiconductor (DG-MOSFET)) mit elektrisch getrennten oberen und unteren Gates. Gemäß der Erfindung können die oberen und unteren Gates aus verschiedenen Materialien sein.

Beschreibung der verwandten Technik

[0002] Der Double-Gate-MOS-Feldeffekttransistor (DG-MOSFET) ist ein MOSFET mit einem oberen und unteren Gate, die die Träger im Kanal steuern. Der Double-Gate-MOSFET bietet gegenüber einem konventionellen Single-Gate-MOSFET verschiedene Vorteile:

einen höheren Übertragungsleitwert, eine geringere parasitäre Kapazität, die Vermeidung von Auswirkungen durch Dotiermittelschwankungen und verbesserte Kurzkanaleigenschaften. Außerdem werden gute Kurzkanaleigenschaften in Kanälen erreicht, die kürzer als 20 nm sind, wobei im Kanalbereich kein Dotiermittel erforderlich ist. Dadurch werden die Tunnelungunterbrechungs- (tunneling breakdown), die Dotiermittelquantisierungs- und Störstellenprobleme (impurity scattering), die mit der Kanaldotierung verbunden sind, gelöst.

[0003] Bei konventionellen Systemen wurde versucht, eine Double-Gate-Struktur bereitzustellen, die sowohl obere als auch untere Gates enthält und sich im Kanalbereich selbst ausrichtet. Dies ist jedoch kein zufriedenstellendes Verfahren, um die selbstausrichtende Struktur zu erreichen. Frühere Bemühungen können im allgemeinen in die folgenden Kategorien unterteilt werden.

[0004] Die erste Kategorie enthält das Ätzen von Silizium (Si) in einer Säulenstruktur und das Beschichten von Gates innerhalb der Säulenstruktur (vertikaler Feldeffekttransistor (FET)). Bei der zweiten Kategorie wird ein Silizium-auf-Isolator-Film (SOI) in einem dünnen Stab geätzt; die Source-/Drain-Kontakte werden an beiden Enden des Stabs hergestellt und das Gate-Material wird auf allen drei Flächen des dünnen Si-Stabs aufgetragen. Bei einem anderen Verfahren wird ein konventioneller Single-Gate-MOSFET hergestellt. Anschließend werden Bond-and-Etch-Back-Techniken benutzt, um das zweite Gate zu bilden. Ein viertes konventionelles Verfahren beginnt mit einem dünnen SOI-Film, wobei ein Streifen strukturiert und unter dem Streifen ein Tunnel angelegt wird, und das vergrabene Oxid geätzt wird, um eine freischwebende Si-Brücke zu bilden. Bei diesem Verfahren wird das Gate-Material anschließend auf die komplette freischwebende Si-Brücke aufgetragen.

[0005] Die obengenannten Verfahren sind mit einer Reihe von Nachteilen verbunden. Bei dem ersten und zweiten Verfahren muß beispielsweise eine vertikale Säule oder ein Si-Stab mit einer Dicke von 10 nm gebildet werden, und es ist schwierig, dieses Maß mit einer guten Dickensteuerung zu erreichen und Schäden durch reaktives Ionenätzen (RIE) zu verhindern. Im Fall der vertikalen Säule (erster Fall) ist es trotzdem schwierig, einen niedrigen Reihenwiderstandskontakt zu dem unter der Säule vergrabenen Source-/Drain-Anschluß herzustellen. Im Fall der lateralen Ausführung (zweiter Fall) ist die Elementbreite durch die Höhe des Si-Stabs begrenzt. Im dritten Fall gehören Dickensteuerung und Selbstausrichtung des oberen/unteren Gates zu den größten Problemen. Im vierten Fall ist die Steuerung über die Gate-

Länge schlecht, und die beiden Gates sind elektrisch miteinander verbunden und müssen aus demselben Material sein.

[0006] Eine gleichzeitig anhängige Patentanmeldung von K. K. Chan, G. M. Cohen, Y. Taut, H. S. P. Wong mit dem Titel "Self-Aligned Double-Gate MOSFET by Selective Epitaxy and Silicon Wafer Bonding Techniques", 09/272,297, die am 19. März 1999 angemeldet wurde (nachstehend "Chan" genannt) und auf die hier Bezug genommen wird, benutzt ein Verfahren zur Herstellung einer Double-Gate-MOSFET-Struktur mit sowohl oberem als auch unterem Gate, die im Kanalbereich selbstausrichtend sind. Dieser Prozeß löst die meisten der oben angesprochenen Probleme. Oberes und unteres Gate sind noch mechanisch miteinander verbunden, da das Gate-Material in einem Verarbeitungsschritt als "all-around the channel" Gate aufgetragen wird.

[0007] Dies kann in einigen Anwendungen aus folgenden Gründen nicht wünschenswert sein. Erstens im Hinblick auf die Schaltungsauslegung, bei der zwei elektrisch getrennte Gates bevorzugt werden. Zweitens sind das untere und das obere Gate im wesentlichen aus demselben Material gefertigt, so daß nur ein symmetrischer DG-MOSFET hergestellt werden kann. Ein asymmetrischer DG-MOSFET, in dem das Material des unteren Gates anders ist als das des oberen Gates, kann nicht hergestellt werden.

[0008] Chan beschreibt die Bildung eines "all-around the channel" Gates, bei der eine freischwebende Siliziumbrücke (Kanal) hergestellt wird, auf die anschließend das Gate-Material aufgetragen wird. Um eine gute Schwellspannungsregelung zu erreichen, sollte der Kanal auf 3-5 nm ausgedünnt werden. Es ist nicht klar, ob diese dünnen Brücken mit ausreichend hoher Ausbringung verarbeitet werden können. Dadurch kann es zu einer Einschränkung bei dem von Chan empfohlenen Prozeß kommen.

[0009] Es besteht daher Bedarf an einem selbstausrichtenden DG-MOSFET, der entsteht, indem das obere und das untere Gate unabhängig voneinander beschichtet werden. Eine solche Struktur würde viele Vorteile bieten. So ermöglicht beispielsweise die unabhängige Bildung der Gates ihre elektrische Trennung, sie können aus unterschiedlichen Materialien und in unterschiedlicher Dicke hergestellt werden, und es kann eine Struktur bereitgestellt werden, die insgesamt flacher ist und einfacher an das Element angeschlossen werden kann. Es besteht außerdem Bedarf an einem DG-MOSFET, der die Bildung eines sehr dünnen Kanals ermöglicht.

ZUSAMMENFASSUNG DER ERFINDUNG

[0010] Es ist deshalb ein Gegenstand der vorliegenden Erfindung, eine Struktur und ein Verfahren bereitzustellen, um einen integrierten Schaltkreis mit Double-Gate herzustellen, wobei das Verfahren enthält: die Bildung einer laminierten Struktur mit einer Kanalschicht und mit ersten Isolierschichten auf jeder Seite der Kanalschicht, die Bildung von Öffnungen in der laminierten Struktur, die Bildung von Drain- und Source-Bereichen in den Öffnungen, das Entfernen von Teilen der laminierten Struktur, um den ersten Teil einer exponierten Kanalschicht zurückzulassen, die Bildung eines ersten Gate-Dielektrikums auf der Kanalschicht, die Bildung einer ersten Gate-Elektrode auf dem ersten Gate-Dielektrikum, das Entfernen von Teilen von der laminierten Struktur, um den zweiten Teil einer exponierten Kanalschicht zurückzulassen, die Bildung eines zweiten Gate-Dielektrikums auf der Kanalschicht, die Bildung einer zweiten Gate-Elektrode auf dem zweiten Gate-Dielektrikum, das Dotieren von Drain- und Source-Bereichen mittels selbstausrichtender Ionenimplantation, wobei die erste Gate-Elek-

trode und die zweite Gate-Elektrode unabhängig voneinander gebildet werden.

[0011] Das Gate-Dielektrikum besteht normalerweise aus SiO_2 , kann aber auch aus anderen dielektrischen Materialien hergestellt werden. Auch ist das zu dem oberen Gate gehörende Gate-Dielektrikum unabhängig von dem zum unteren Gate gehörenden Gate-Dielektrikum. Das Gate-Dielektrikum kann aus unterschiedlichen Materialien und in unterschiedlicher Dicke sein.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0012] Die vorstehenden Ausführungen und sonstigen Gegenstände, Aspekte und Vorteile werden anhand der folgenden detaillierten Beschreibung von einem bevorzugten Ausführungsbeispiel der Erfindung mit Bezug auf die Zeichnungen verständlicher, in denen

[0013] Fig. 1 ein schematisches Diagramm zeigt, in dem ein Teil der Beschichtungen und des Bondings abgebildet ist, die bei der Herstellung einer Folienschicht verwendet werden;

[0014] Fig. 2 ein schematisches Diagramm zeigt, in dem ein Teil der Beschichtungen und des Bondings abgebildet ist, die bei der Herstellung einer Folienschicht verwendet werden;

[0015] Fig. 3 ein schematisches Diagramm zeigt, in dem ein Teil der Beschichtungen und des Bondings abgebildet ist, die bei der Herstellung einer Folienschicht verwendet werden;

[0016] Fig. 4 ein schematisches Diagramm zeigt, in dem ein Teil der Beschichtungen und des Bondings abgebildet ist, die bei der Herstellung einer Folienschicht verwendet werden;

[0017] Fig. 5 ein schematisches Diagramm zeigt, in dem ein Teil der Beschichtungen und des Bondings abgebildet ist, die bei der Herstellung einer Folienschicht verwendet werden;

[0018] Fig. 6 ein schematisches Diagramm zeigt, in dem ein Teil der Beschichtungen und des Bondings abgebildet ist, die bei der Herstellung einer Folienschicht verwendet werden;

[0019] Fig. 7 ein schematisches Diagramm ist, das einen Querschnitt entlang der Linie L-L in Fig. 8 zeigt;

[0020] Fig. 8 ein schematisches Diagramm ist, das eine Draufsicht vom DG-MOSFET zeigt, der gemäß dieser Erfindung hergestellt wird;

[0021] Fig. 9 ein schematisches Diagramm ist, das einen Querschnitt von Fig. 10 entlang der Linie L-L zeigt;

[0022] Fig. 10 ein schematisches Diagramm mit Draufsicht auf den DG-MOSFET zeigt, der gemäß dieser Erfindung hergestellt wurde und die Verlängerung des SOI-Kanals in die Source- und Drain-Bereiche durch die Epitaxie zeigt;

[0023] Fig. 11 ein schematisches Diagramm ist, das die Seitenwandabtrennung darstellt;

[0024] Fig. 12 ein schematisches Diagramm ist, das das Auffüllen der Source- und Drain-Gräben mit Source-/Drain-Material und seine anschließende Einebnung mittels CMP zeigt;

[0025] Fig. 13 ein schematisches Diagramm ist, das die Source- und Drain-Vertiefungen zeigt;

[0026] Fig. 14 ein schematisches Diagramm ist, das die vertieften Source- und Drain-Bereiche zeigt, die mit dielektrischem Material aufgefüllt wurden;

[0027] Fig. 15 ein schematisches Diagramm ist, das das Ätzen des oberen Nitridfilms zeigt;

[0028] Fig. 16 ein schematisches Diagramm ist, das die Bildung der Seitenwand zeigt;

[0029] Fig. 17 ein schematisches Diagramm ist, das die Struktur nach dem Aufbau des oberen Gate-Dielektrikums zeigt;

[0030] Fig. 18 ein schematisches Diagramm ist, das die Struktur nach dem Auftrag des oberen Gate-Materials und seiner Einebnung durch CMP zeigt;

[0031] Fig. 19 ein schematisches Diagramm ist, das die Struktur mit der Nitrid-Hartmaske zeigt, die benutzt wird, um die Element-Mesa zu definieren;

[0032] Fig. 20 ein schematisches Diagramm ist, das einen Querschnitt von Fig. 19 entlang der Linie L-L zeigt;

[0033] Fig. 21 ein schematisches Diagramm ist, das die Struktur entlang der Linie L-L nach der Mesa-Ätzung zeigt;

[0034] Fig. 22 ein schematisches Diagramm ist, das die Struktur entlang der Linie W-W nach der Mesa-Ätzung zeigt;

[0035] Fig. 23 ein schematisches Diagramm ist, das die Seitenwand entlang der Linie L-L zeigt;

[0036] Fig. 24 ein schematisches Diagramm ist, das die Seitenwand entlang der Linie W-W zeigt;

[0037] Fig. 25 ein schematisches Diagramm ist, das die Struktur entlang der Linie L-L zeigt, nachdem die Mesa-Ätzung im Kasten fortgesetzt wurde;

[0038] Fig. 26 ein schematisches Diagramm ist, das die Struktur entlang der Linie L-L zeigt, nachdem die Mesa-Ätzung im Kasten fortgesetzt wurde;

[0039] Fig. 27 ein schematisches Diagramm ist, das die Struktur entlang der Linie L-L und die Isolierung der exponierten Source- und Drain-Seitenwände durch Oxidation zeigt;

[0040] Fig. 28 ein schematisches Diagramm ist, das die Struktur entlang der Linie W-W und die Isolierung der exponierten Source- und Drain-Seitenwände durch Oxidation zeigt;

[0041] Fig. 29 ein schematisches Diagramm ist, das die Struktur entlang der Linie L-L zeigt, nachdem der untere Nitridfilm durch Naßätzen entfernt wurde;

[0042] Fig. 30 ein schematisches Diagramm ist, das die Struktur entlang der Linie W-W zeigt, nachdem der untere Nitridfilm durch Naßätzen entfernt wurde;

[0043] Fig. 31 ein schematisches Diagramm ist, das die Struktur entlang der Linie L-L nach dem Aufbau des unteren Gate-Dielektrikums, die Beschichtung des unteren Gate-Materials und seine Einebnung durch CMP zeigt;

[0044] Fig. 32 ein schematisches Diagramm ist, das die Struktur entlang der Linie W-W nach dem Aufbau des unteren Gate-Dielektrikums, die Beschichtung des unteren Gate-Materials und seine Einebnung durch CMP zeigt;

[0045] Fig. 33 ein schematisches Diagramm ist, das die Struktur entlang der Linie L-L nach Entfernung des Dielektrikums aus dem vertieften Source-/Drain-Bereich und der Bildung einer Seitenwand;

[0046] Fig. 34 ein schematisches Diagramm ist, das die Struktur entlang der Linie W-W nach Entfernung des Dielektrikums aus dem vertieften Source-/Drain-Bereich und der Bildung einer Seitenwand;

[0047] Fig. 35 ein schematisches Diagramm ist, das die selbstausrichtende Source-/Drain-Implantation entlang der Linie L-L zeigt;

[0048] Fig. 36 ein schematisches Diagramm ist, das die selbstausrichtende Silicid-Bildung entlang der Linie L-L zeigt;

[0049] Fig. 37 ein schematisches Diagramm ist, das die selbstausrichtende Silicid-Bildung entlang der Linie L-L zeigt;

[0050] Fig. 38 ein schematisches Diagramm ist, das entlang der Linie L-L zeigt, daß die vertieften Source- und Drain-Bereiche mit einem dielektrischen Material aufgefüllt

wurden;

[0051] Fig. 39 ein schematisches Diagramm ist, das die Draufsicht und die Ansicht entlang der Linie L-L von der Nitrid-Hartmaske zeigt, die benutzt wird, um den Materialüberschuß vom unteren Gate zu ätzen;

[0052] Fig. 40 ein schematisches Diagramm ist, das entlang der Linie W-W die Draufsicht von der Nitrid-Hartmaske zeigt, die benutzt wird, um den Materialüberschuß vom unteren Gate zu ätzen;

[0053] Fig. 41 ein schematisches Diagramm ist, das entlang der Linie L-L die Passivierung und die Einebnung des Elements durch eine dielektrische Beschichtung und CMP zeigt;

[0054] Fig. 42 ein schematisches Diagramm ist, das entlang der Linie W-W die Passivierung und die Einebnung des Elements durch eine dielektrische Beschichtung und CMP zeigt;

[0055] Fig. 43 ein schematisches Diagramm ist, das entlang der Linie L-L die Passivierung und die Einebnung des Elements durch eine dielektrische Beschichtung und CMP zeigt;

[0056] Fig. 44 ein schematisches Diagramm ist, das entlang der Linie W-W die Passivierung und die Einebnung des Elements durch eine dielektrische Beschichtung und CMP zeigt;

[0057] Fig. 45 ein schematisches Diagramm ist, das die Öffnung der Kontaktbohrung (Durchgangsbohrung) zeigt, die benutzt wird, um Source, Drain und oberes und unteres Gate des Elements in Kontakt zu bringen;

[0058] Fig. 46 ein schematisches Diagramm ist, das die Öffnung der Kontaktbohrung (Durchgangsbohrung) zeigt, die benutzt wird, um Source, Drain sowie oberes und unteres Gate des Elements in Kontakt zu bringen;

[0059] Fig. 47 ein schematisches Diagramm ist, das die Öffnung der Kontaktbohrung (Durchgangsbohrung) und die Metallisierung zeigt, die benutzt wird, um Source, Drain sowie oberes und unteres Gate des Elements in Kontakt zu bringen;

[0060] Fig. 48 ein schematisches Diagramm ist, das entlang der Linie W-W die teilweise vervollständigte Struktur gemäß der Erfindung zeigt; und

[0061] Fig. 49 eine schematische Draufsicht von der Struktur gemäß der Erfindung zeigt.

DETAILLIERTE BESCHREIBUNG VON DEN BEVORZUGTEN AUSFÜHRUNGSBEISPIELEN DER ERFINDUNG

[0062] Im folgenden wird die vorliegende Erfindung beschrieben. Dabei handelt es sich um einen selbstausrichtenden Double-Gate-Metalloxid-Halbleiter (DG-MOSFET) mit elektrisch getrenntem oberem und unterem Gate und um ein Verfahren zu seiner Herstellung. Außerdem wurden oberes und unteres Gate aus verschiedenen Materialien hergestellt.

[0063] Wie in den Fig. 1-6 dargestellt ist, beginnt die Erfindung mit der Bildung einer Reihe von Schichten. Die Erfindung beginnt in einem ersten Schritt mit der Bildung einer dünnen Siliziumdioxidschicht 1 (z. B. ca. 2 nm dick) auf einem einzelnen Kristall-Wafer 5A, dem sogenannten Donor-Wafer. In einem zweiten Schritt wird eine Siliziumnitridschicht 2 (die beispielsweise 100 nm dick sein kann) auf der Siliziumdioxidschicht 1 aufgebaut. In einem dritten Schritt wird eine dicke (z. B. ca. 400 nm) Siliziumdioxidschicht 3 auf der Nitridschicht 2 aufgebaut. In einem vierten Schritt wird der Kristall-Wafer in einem Handle-Wafer 4 gebunden (bond). Das Bonding wird mit Standard-Bonding-Techniken für Silizium-Wafer durchgeführt wie beispiels-

weise Bor-Ätzstopp, smartCut und anderen Techniken, die dem Fachmann bekannt sind (eine detaillierte Beschreibung von Bonding-Techniken ist in "Silicon-On-Insulator Technology", 2nd Ed, Kluwer Academic Publishers, 1997, von

Jean-Pierre Colinge enthalten. Auf diese Beschreibung wird hier Bezug genommen). Anschließend wird die SOI-Schicht 5 in der für den MOSFET-Kanal erforderlichen Dicke gebildet. Wenn beispielsweise die smartCut-Technik benutzt wird, dann wird eine dünne Si-Schicht von der Fläche des Donor-Wafers 5A auf den Handle-Wafer 4 übertragen. Die übertragene Si-Schicht wird normalerweise auf einem Isolierfilm wie SiO₂ gebunden und deshalb Silizium-auf-Isolator (SOI) genannt. Die Dicke des übertragenen SOI-Films wird durch die Tiefe des Wasserstoffimplantats bestimmt, das Teil der smartCut-Technik ist. Sobald der SOI-Film auf den Handle-Wafer 4 übertragen wurde, kann er durch Oxidation und Stripping weiter ausgedünnt werden. Die Dicke des SOI-Films wird normalerweise mittels Ellipsometrie- oder Röntgenbeugungstechniken überwacht (siehe G. M. Cohen et al., Applied Physics Letters, 75 (6), p. 787, August 1999, auf die hier Bezug genommen wird).

[0064] Anschließend wird eine dünne Siliziumdioxidschicht 6 (ca. 2 nm) auf der SOI-Schicht 5 aufgebaut. Daran schließt sich die Bildung einer dicken Siliziumnitridschicht 7 (z. B. ca. 150 nm) auf der Siliziumdioxidschicht 6 an.

[0065] Nachdem die ersten Schichten aufgetragen sind, sieht die Erfindung das Ätzen von zwei Bereichen. 8 in den Filmschichten vor. Wie in den Fig. 7 und 8 dargestellt, sind in bestimmten Abständen Ätzstopps (oder ähnliche Kontrollmerkmale) im vergrabenen Oxid (BOX = buried oxide) 3 angeordnet. Der Zwischenraum zwischen den beiden Bereichen ist die Länge (Lg) des hergestellten MOSFET-Gates.

[0066] Diese Beschreibung illustriert Struktur und Prozeß gemäß der Erfindung anhand verschiedener Querschnittslinien zum Zwecke der Klarheit. So sind beispielsweise die Fig. 7, 9, 11-18, 20, 21, 23, 25, 27, 29, 31, 33-38, 40, 41, 43, 45 und 47 schematische Diagramme, die entlang der Linie L-L von der Draufsicht der Struktur, die in den Fig. 8 und 9 abgebildet ist, ausgeschnitten wurde. Die Erfindung beginnt eine Reihe von Schritten mit der Umformung von geätzten Bereichen. Zuerst wird - wie in den Fig. 9 und 10 dargestellt - eine epitaxiale (epi) Silizium-Verlängerung 9 selektiv aus dem einzelnen Kristall-SOI 5 Kanal aufgebaut. Die epi-Verlängerung 9 erstreckt sich in die geätzten Bereiche 8 und nimmt über den gesamten Umfang der geätzten Bereiche zu. Die Größe der epi-Verlängerung 9 liegt vorzugsweise bei ca. 50 nm. Die Verlängerung kann auch durch die Hinzufügung von anderen Legierungen wie SiGe, SiGeC oder von sonstigen geeigneten Materialien, die dem Fachmann bekannt sind, vorgenommen werden.

[0067] Anschließend werden gemäß der Erfindung Seitenwandabtrennungen 10 an den Seitenwänden der geätzten Bereiche 8 gebildet (siehe Fig. 11). Dies geschieht durch Auftrag eines Dielektrikums (nicht in den Figuren enthalten) auf der gesamten Struktur. Die Dicke dieses Dielektrikums bestimmt die Dicke der resultierenden Abtrennung 10. Das Dielektrikum kann auch eine Mischung sein (z. B. aufeinanderfolgender Auftrag von Oxid- und Nitridschichten), um die Ätzselektivität bereitzustellen. In einem bevorzugten Ausführungsbeispiel wird reaktives Ionenätzen benutzt, um die Seitenwandabtrennungen 10 zu formen. Es wird auch isotropisches Ätzen (reaktives Ionenätzen oder chemisches Naßätzen) eingesetzt, um die Reste des Abtrennungsdielektrikums von der exponierten Siliziumverlängerung des SOI-Kanals zu entfernen.

[0068] Anschließend werden gemäß der Erfindung Source-/Drain-Bereiche 11 gebildet. Dies geschieht, indem

zuerst ein amorphes Silizium oder Polysilizium **11** in den geätzten Bereichen **8** aufgetragen wird. Wie in Fig. 12 dargestellt, wird das amorphe Silizium aufgetragen, bis das Niveau des amorphen Siliziums höher als die Nitridfläche **7** ist. In einem zweiten Schritt wird ein chemisch-mechanisches Polieren (CMP) durchgeführt, um die Oberfläche einzuebnen. Der CMP-Prozeß entfernt hauptsächlich amorphes Si und ist Nitrid-selektiv **7**. In einem nächsten Schritt wird reaktives Ionenätzen benutzt (siehe Fig. 13), um das Silizium in den Source-/Drain-Bereichen **11** zu vertiefen **12**. Schließlich wird in Fig. 14 ein Dielektrikum **13** (beispielsweise Oxid) in den vertieften Bereichen **12** aufgetragen, so daß das Dielektrikum mit dem vertieften Bereich **12** eine Fläche bildet. Danach wird das Dielektrikum mittels CMP eingeebnet. Die Erfindung sieht auch das Umformen vom oberen Teil der Struktur vor (siehe Fig. 15). Dies geschieht, indem zuerst das obere Nitrid **7** durch chemisches Naßätzen (z. B. heiße Phosphorsäure) entfernt wird. In einem zweiten Schritt werden die Seitenwände **14** gebildet (siehe Fig. 16). Die Wände werden durch Auftrag eines Dielektrikums auf der gesamten Struktur gebildet. Danach wird das Dielektrikum geätzt, um die Seitenwände zu bilden. Die Dicke des Dielektrikums bestimmt die Dicke der Seitenwände **14**. In einem dritten Schritt wird das obere Opfer-Pad-Oxid **6** durch chemisches Naßätzen (z. B. Fluorwasserstoffsäure) entfernt. Anschließend wird ein oberes Gate-Dielektrikum **15** auf der Oberfläche des SOI-Kanals **5** aufgebaut (siehe Fig. 17). Das obere Gate-Material **16** (z. B. dotiertes Polysilizium oder Wolfram) wird gleichförmig aufgetragen, um die Gate-Elektrode zu bilden (siehe Fig. 18). Schließlich wird durch chemisch-mechanisches Polieren (CMP) die Oberfläche eingeebnet. Dabei wird hauptsächlich das obere Gate-Material mittels einer fest-flüssigen Dispersion (slurry), die nitridselektiv **7** ist, entfernt.

[0069] Anschließend sieht die Erfindung das Auflegen einer Mesa-Hartmaske **17** auf der Struktur vor (siehe die Fig. 19 und 20). Die Mesa-Hartmaske besteht aus dem Auftrag eines Nitridfilms, der vorzugsweise 100 nm dick ist und anschließend strukturiert wird. Die Fig. 22, 24, 26, 28, 30, 32, 42, 44, 46 und 48 sind Querschnitte entlang der Linie W-W, die in Fig. 19 abgebildet ist.

[0070] Die Erfindung isoliert insbesondere einzelne Elemente mittels der Mesa-Hartmaske **17**. Die Struktur wird wie folgt aufgebracht: (1) Reaktives Ionenätzen (RIE) im Anschluß an den SOI-Film und Ätzstopp auf dem Nitrid (siehe die Fig. 21 und 22); (2) gleichförmiger Auftrag eines Dielektrikums z. B. Niedertemperaturoxid (LTO) von vorzugsweise ca. 75 nm auf der gesamten Struktur und Ätzen des Dielektrikums, um eine Seitenwand **18** zu bilden (siehe die Fig. 23 und 24); (3) Fertigstellung des Mesa-Ätzens durch Ätzen eines bestimmten Zwischenraums in der BOX **3** (siehe Fig. 25 und 26). Die Seitenwand des unteren Nitrids **2** wird während dieses Prozesses auch exponiert.

[0071] Wie in den Fig. 27 und 28 dargestellt, sieht die Erfindung den Aufbau eines Thermooxids **19** vor, um die exponierte Seitenwand des Source-/Drain-Bereichs zu isolieren. Dann – wie in den Fig. 29 und 30 dargestellt – sieht die Erfindung die Entfernung des unteren Nitrids **2** und der oberen Nitrid-Hartmaske **17** durch chemisches Naßätzen (z. B. heiße Phosphorsäure) vor. Durch die Entfernung des unteren Nitrids **2** bildet sich im Element über die Breite ein Tunnel und über die Länge eine freischwebende Brücke. Das untere Opfer-Pad-Oxid **1** wird ebenfalls durch chemisches Naßätzen (z. B. Fluorwasserstoffsäure) entfernt.

[0072] Als nächstes sieht die Erfindung (siehe Fig. 31 und 32) die Bildung der unteren Gate-Elektrode **22** vor. Dies geschieht, indem zuerst das untere Gate-Dielektrikum **21** auf der unteren Fläche des SOI-Kanals **5** aufgebaut wird. Das

untere Gate-Material **22** (z. B. dotiertes Polysilizium, Wolfram usw.) wird gleichförmig aufgetragen und bildet die untere Gate-Elektrode. Anschließend wird mit CMP die Oberfläche eingeebnet. Der CMP-Prozeß entfernt hauptsächlich das untere Gate-Material und ist LTO-selektiv.

[0073] Wie Fig. 33 zeigt, sieht die Erfindung das Ätzen des Dielektrikums der Source-/Drain-Kappe (LTO **13**) vor. Die Erfindung sieht den gleichförmigen Auftrag eines Dielektrikums auf der gesamten Struktur vor, um Seitenwände **23** zu bilden (siehe Fig. 34). Die Dicke dieses Dielektrikums bestimmt wiederum die Dicke der resultierenden Abtrennung. Das Dielektrikum wird dann geätzt, um die definitive Seitenwandstruktur **23** zu bilden.

[0074] Die Erfindung sieht als nächstes das Dotieren der Source-/Drain-Bereiche **11** mittels selbstausrichtender Ionenimplantation **24** vor. Dabei wird das Silizium **11**, wie in Fig. 35 abgebildet, dotiert. Um den SOI-Kanalbereich vor der Ionenimplantation zu schützen, wird das obere Mehrfach-Gate **16** als selbstausrichtende Implantationsmaske benutzt. Die Seitenwandabtrennung **23** wird das Source-/Drain-Implantat vom Kanalbereich absetzen. Im Anschluß an die Implantation schließt sich ein schnelles Glühen an, um das Dotiermittel zu aktivieren.

[0075] Mit einem selbstausrichtenden Silicid-Prozeß wird das Silicid **26** auf dem Source-/Drain-Bereich und den Gates **11** aufgetragen (siehe Fig. 37). Dies geschieht mit einem Standardprozeß, der dem Fachmann bekannt ist. Bei den Vorbereitungen zum Auftrag von Silicid wird beispielsweise ein Metall **25** z. B. Kobalt (Co) oder Titan (Ti) gleichförmig auf die gesamte Struktur aufgetragen (siehe Fig. 36), und die Struktur wird erhitzt. Nachdem das Silicid aufgetragen wurde, wird ein Dielektrikum **27** z. B. LTO gleichförmig über dem Silicid aufgetragen, um eine LTO-Kappe zu bilden (siehe Fig. 38). Daran schließt sich der CMP-Prozeß an, der benutzt wird, um die Oberfläche einzuebnen. Bei dem CMP-Prozeß wird hauptsächlich das dielektrische Material **27** entfernt, und er ist selektiv in bezug auf das Silicid **26** bzw. die Gate-Materialien **16** und **22**. Infolge einer endlichen Selektivität des CMP-Prozesses kann entweder nur etwas Silicid **26** vom Gate entfernt werden, oder es kann alles entfernt werden. In diesem Fall kann der selbstausrichtende Silicid-Prozeß wiederholt werden, um ein neues Gate-Silicid zu bilden.

[0076] Als nächstes wird das untere Gate **22** fertiggestellt. Zuerst wird ein Nitrid- oder LTO-Film **27** von vorzugsweise ca. 100 nm aufgetragen und mittels Photolithographie strukturiert, um eine Hartmaske zu bilden, die den unteren Gate-Bereich **28** definiert (siehe Draufsicht in Fig. 39 und den Querschnitt entlang der Linie L-L in Fig. 40). In einem zweiten Schritt wird das überschüssige untere Gate-Material **22** in der BOX **3** weggeätzt und ein dickes Passivierungs-Dielektrikum aufgetragen **29** (siehe Fig. 41 und 42). Das CMP wird wiederum benutzt, um die Oberfläche einzuebnen. Bei dem CMP-Prozeß wird hauptsächlich das Dielektrikum-Material **29** entfernt, und er ist selektiv, um nicht die Nitrid-Hartmaske zu entfernen. Ein zweites Passivierungs-Dielektrikum wird dann aufgetragen **30** (siehe Fig. 43 und 44).

[0077] Anschließend werden die Kontaktbohrungen **31** im Source-Bereich und im Drain-Bereich **11** gebildet, und die Kontaktbohrungen **32** werden über den beiden Gates **16**, **22** durch photolithographische Strukturierung und durch Ätzen geätzt (siehe Fig. 45 und 46).

[0078] Danach wird die Metallisierung **33** aufgetragen und im Anschluß strukturiert, um elektrische Kontakte in der Source, dem Drain und den unteren und oberen Gate-Elektroden zu bilden (siehe Fig. 47 und 48). Ist die Gate-Länge sehr kurz, können zwei Metallisierungsschichten auf-

getragen werden, um bessere Entwurfsregeln für den Kontakt des oberen Gates zu haben. Fig. 49 zeigt eine Draufsicht von der fertiggestellten Struktur.

[0079] Durch die spezifischen Verbesserungen der vorliegenden Erfindung werden viele Vorteile gegenüber dem Stand der Technik realisiert. Diese Erfindung sieht zuerst den Auftrag von einem oberen und unteren Gate in zwei getrennten Schritten vor und baut das obere und untere Gate auf, die elektrisch voneinander getrennt sind. Dadurch ergeben sich eine Reihe von Vorteilen. Das untere Gate kann beispielsweise zur Steuerung der Schwellspannung benutzt werden und ermöglicht so einen gemischten Schwellspannungskreis (VI) für Niederstromanwendungen.

[0080] Bei dieser Struktur nimmt auch die Schaltkreisdichte zu. Wenn die Gates elektrisch voneinander getrennt sind, enthält der Double-Gate-MOSFET ein Vierpolelement mit zwei Eingang-Gates. Ein einzelnes Element kann benutzt werden, um binäre Logikoperationen, beispielsweise eine NOR (nFET) oder eine NAND (pFET) Zelle, zu implementieren. Für die Implementierung dieser binären Logikfunktionen sind normalerweise zwei Standard-MOSFET pro Zelle erforderlich. Die Zunahme der Schaltkreisdichte gilt auch für analoge Schaltkreise. So kann beispielsweise ein Mischkreis implementiert werden, indem die Oszillatorspannung auf ein Gate angelegt wird und die Signalspannung (Daten) auf das andere Gate. Da die Erfindung vorsieht, daß das obere und das untere Gate sowie das jeweilige Gate-Dielektrikum unabhängig voneinander zunehmen, können die Gates und das Gate-Dielektrikum aus verschiedenen Materialien sein und unterschiedliche Dicken haben. In jedem Gate können auch unterschiedliche Dotierebenen und Dotiermittel enthalten sein. Somit können asymmetrische Gates hergestellt werden. Der asymmetrische Double-Gate-MOSFET ist in einer gemischten Anwendung am nützlichsten, wo die Gates miteinander verbunden werden, um die Geschwindigkeit zu erreichen, und er kann separat benutzt werden, um Niederstromanwendungen und hohe Dichte beispielsweise in einem Static Random Access Memory (SRAM) zu ermöglichen.

[0081] Die Erfindung sieht ebenfalls eine ebene Struktur vor, durch die das Element einfacher angeschlossen werden kann.

[0082] Elemente mit einem sehr dünnen Kanal mit einer Dicke von ca. 3 bis 5 nm können beispielsweise dann notwendig sein, wenn ein gutes Schwellspannungsverhalten erreicht werden soll. Werden für die Herstellung von Siliziumbrücken sehr dünne Schichten benutzt, kann das zu einer Reduzierung der Gesamtausbringung führen. Diese Erfindung unterstützt den Kanal mit einer dicken Schicht 22. Die Erfindung ermöglicht daher, Elemente mit einem sehr dünnen Kanal herzustellen und sorgt bei den Elementen für ein gutes Spannungsverhalten. Die Erfindung benutzt auch einen selbstausrichtenden Siliziumprozeß, der den Reihenwiderstand senkt.

[0083] Obwohl die Erfindung in bezug auf die bevorzugten Ausführungsbeispiele beschrieben wurde, wird der Fachmann erkennen, daß die Erfindung geändert werden kann, ohne daß sinngemäß und vom Bereich der anhängenden Ansprüche abgewichen wird.

Patentansprüche

1. Ein Transistor mit:
einem Kanalbereich;
einem ersten Gate oben im Kanalbereich;
einem zweiten Gate unten im Kanalbereich;
wobei das erste Gate und das zweite Gate elektrisch voneinander getrennt sind.

2. Der Transistor nach Anspruch 1, wobei das erste Gate eine andere Dotierungskonzentration enthält als das zweite Gate.

3. Der Transistor nach Anspruch 1, wobei das erste Gate ein anderes Dotiermittel enthält als das zweite Gate.

4. Der Transistor nach Anspruch 1, der außerdem ein erstes Gate-Dielektrikum unter dem ersten Gate und ein zweites Gate-Dielektrikum über dem zweiten Gate enthält.

5. Der Transistor nach Anspruch 1, wobei das erste Gate einen ersten leitenden Kontakt hat, und das zweite Gate einen zweiten leitenden Kontakt hat, und der erste leitende Kontakt und der zweite leitende Kontakt auf derselben Ebene (coplanar) liegen.

6. Der Transistor nach Anspruch 1, wobei das erste Gate ein anderes Material enthält als das zweite Gate.

7. Der Transistor nach Anspruch 1, wobei das erste Gate eine andere Dicke als das zweite Gate hat.

8. Der Transistor nach Anspruch 1, wobei das erste Gate, das zweite Gate und der Kanalbereich eine planare Struktur bilden.

9. Der Transistor nach Anspruch 4, wobei das erste Gate-Dielektrikum ein anderes Material enthält als das zweite Gate-Dielektrikum.

10. Der Transistor nach Anspruch 4, wobei das erste Gate-Dielektrikum eine andere Dicke hat als das zweite Gate-Dielektrikum.

11. Ein Halbleiter-Chip mit wenigstens einem Transistor, wobei der Transistor enthält:

einen Kanalbereich;
ein erstes Gate oben im Kanalbereich;
ein zweites Gate unten im Kanalbereich;
wobei das erste Gate ein anderes Material enthält als das zweite Gate.

12. Der Halbleiterchip nach Anspruch 11, wobei das erste Gate eine andere Dotierungskonzentration enthält als das zweite Gate.

13. Der Halbleiterchip nach Anspruch 11, wobei das erste Gate ein anderes Dotiermittel enthält als das zweite Gate.

14. Der Halbleiterchip nach Anspruch 11, der außerdem ein erstes Gate-Dielektrikum unter dem ersten Gate und ein zweites Gate-Dielektrikum über dem zweiten Gate enthält.

15. Der Halbleiterchip nach Anspruch 14, wobei das erste Gate-Dielektrikum ein anderes Material enthält als das zweite Gate-Dielektrikum.

16. Der Halbleiterchip nach Anspruch 14, wobei das erste Gate-Dielektrikum eine andere Dicke hat als das zweite Gate-Dielektrikum.

17. Der Halbleiterchip nach Anspruch 11, wobei das erste Gate einen ersten leitenden Kontakt hat, und das zweite Gate einen zweiten leitenden Kontakt hat, und der erste leitende Kontakt und der zweite leitende Kontakt auf derselben Ebene (coplanar) liegen.

18. Der Halbleiterchip nach Anspruch 11, wobei das erste Gate und das zweite Gate elektrisch voneinander getrennt sind.

19. Der Halbleiterchip nach Anspruch 11, wobei das erste Gate und das zweite Gate von unterschiedlicher Dicke sind.

20. Der Halbleiterchip nach Anspruch 11, wobei das erste Gate, das zweite Gate und der Kanalbereich eine planare Struktur bilden.

21. Ein Verfahren, um einen Transistor zu bilden: Bildung einer Laminat-Struktur mit einem ersten Gate über einem Kanalbereich;

Entfernung von Teilen des Laminats unter dem Kanalbereich; und

Bildung eines zweiten Gates unter dem Kanalbereich, wobei das erste Gate und das zweite Gate elektrisch voneinander getrennt sind.

22. Das Verfahren, um einen Transistor gemäß Anspruch 21 zu bilden, wobei das erste Gate den Kanalbereich während des Entfernungsprozesses unterstützt.

23. Das Verfahren, um einen Transistor gemäß Anspruch 21 zu bilden, wobei das erste Gate eine andere Dotierungskonzentration enthält als das zweite Gate.

24. Das Verfahren, um einen Transistor gemäß Anspruch 21 zu bilden, wobei auf das erste Gate ein anderes Dotiermittel aufgetragen wird als auf das zweite Gate.

25. Das Verfahren, um einen Transistor gemäß Anspruch 21 zu bilden, das außerdem die Bildung eines ersten Gate-Dielektrikums unter dem ersten Gate und die Bildung eines zweiten Gate-Dielektrikums über dem zweiten Gate enthält.

26. Das Verfahren, um einen Transistor gemäß Anspruch 24 zu bilden, wobei das erste Gate-Dielektrikum ein anderes Material enthält als das zweite Gate-Dielektrikum.

27. Das Verfahren, um einen Transistor gemäß Anspruch 24 zu bilden, wobei das erste Gate-Dielektrikum eine andere Dicke als das zweite Gate-Dielektrikum hat.

28. Das Verfahren, um einen Transistor gemäß Anspruch 21 zu bilden, wobei ein erstes Gate-Oxid unter dem ersten Gate und ein zweites Gate-Oxid über dem zweiten Gate gebildet wird.

29. Das Verfahren, um einen Transistor gemäß Anspruch 21 zu bilden, wobei das erste Gate einen ersten leitenden Kontakt hat und das zweite Gate einen zweiten leitenden Kontakt hat, und der erste leitende Kontakt und der zweite leitende Kontakt auf derselben Ebene (coplanar) liegen.

30. Das Verfahren, um einen Transistor gemäß Anspruch 21 zu bilden, wobei das erste Gate ein anderes Material als das zweite Gate enthält.

31. Das Verfahren, um einen Transistor gemäß Anspruch 21 zu bilden, wobei das erste Gate eine andere Dicke als das zweite Gate hat.

32. Das Verfahren, um einen Transistor gemäß Anspruch 21 zu bilden, wobei das erste Gate, das zweite Gate und der Kanalbereich eine planare Struktur bilden.

33. Ein Verfahren, um einen Double-Gate-Transistor herzustellen, wobei das Verfahren enthält:

die Bildung einer laminierten Struktur mit einer Kanalschicht und mit ersten Isolierschichten auf jeder Seite der Kanalschicht;

die Bildung von Öffnungen in der laminierten Struktur; die Bildung von Drain- und Source-Bereichen in den Öffnungen;

das Entfernen von Teilen der laminierten Struktur, um den ersten Teil einer exponierten Kanalschicht zurückzulassen;

die Bildung eines ersten Gate-Dielektrikums auf der Kanalschicht;

die Bildung einer ersten Gate-Elektrode auf dem ersten Gate-Dielektrikum;

das Entfernen von Teilen von der laminierten Struktur, um den zweiten Teil einer exponierten Kanalschicht zurückzulassen;

die Bildung eines zweiten Gate-Dielektrikums auf der Kanalschicht;

die Bildung einer zweiten Gate-Elektrode auf dem zweiten Gate-Dielektrikum;

das Dotieren von Drain- und Source-Bereichen, wobei die erste Gate-Elektrode und die zweite Gate-Elektrode unabhängig voneinander gebildet werden.

34. Das Verfahren nach Anspruch 33, wobei erste und zweite Gate-Elektrode elektrisch voneinander getrennt sind.

35. Das Verfahren nach Anspruch 33, wobei die Drain- und Source-Bereiche eine selbstausrichtende Ionenimplantation enthalten.

36. Das Verfahren nach Anspruch 33, wobei das Verfahren außerdem die Bildung einer ersten Gate-Elektrode vorsieht, die dicker als die zweite Gate-Elektrode ist.

37. Das Verfahren nach Anspruch 33, wobei das Verfahren außerdem die Bildung einer ersten Gate-Elektrode vorsieht, die breiter als die zweite Gate-Elektrode ist.

38. Das Verfahren nach Anspruch 33, wobei das Verfahren außerdem die Bildung eines ersten Gate-Dielektrikums vorsieht, das breiter als das zweite Gate-Dielektrikum ist.

39. Das Verfahren nach Anspruch 33, wobei das erste Gate aus einem ersten Material und das zweite Gate aus einem zweiten Material gebildet wird.

40. Das Verfahren nach Anspruch 33, wobei das erste Gate-Dielektrikum aus einem ersten Material und das zweite Gate-Dielektrikum aus einem zweiten Material besteht.

41. Das Verfahren nach Anspruch 33, wobei durch das Entfernen von Teilen von der laminierten Struktur ein zweiter Teil der exponierten Kanalschicht zurückbleibt, der in diesem Laminat einen Tunnel bildet, und wobei zwischen einer oberen Schicht und einer unteren Schicht der Tunnel gebildet wird.

42. Das Verfahren nach Anspruch 33, wobei das erste Gate-Dielektrikum ein anderes Material enthält als das zweite Gate-Dielektrikum.

43. Das Verfahren, um einen Transistor gemäß Anspruch 33 zu bilden, wobei das erste Gate-Dielektrikum eine andere Dicke hat als das zweite Gate-Dielektrikum.

Hierzu 24 Seite(n) Zeichnungen

- Leerseite -

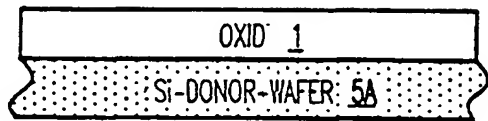


FIG.1

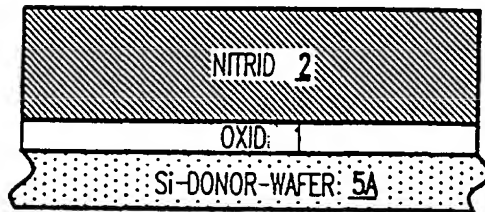


FIG.2

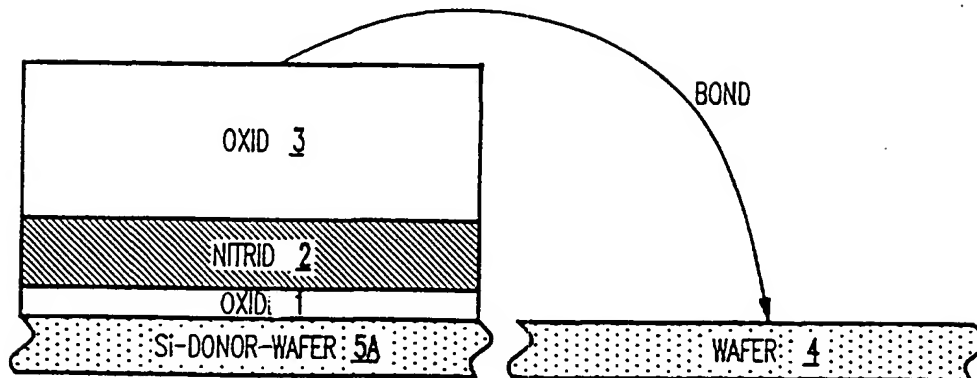


FIG.3

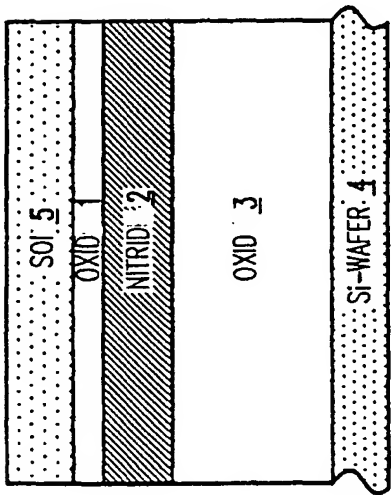


FIG.4

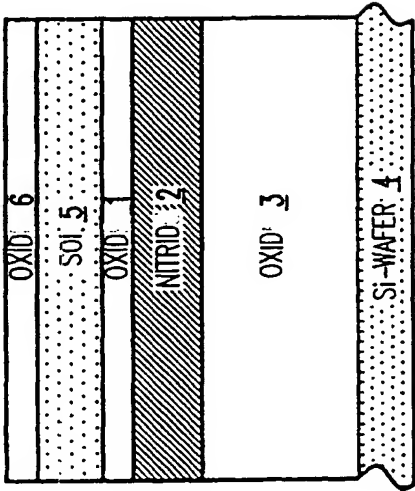


FIG.5

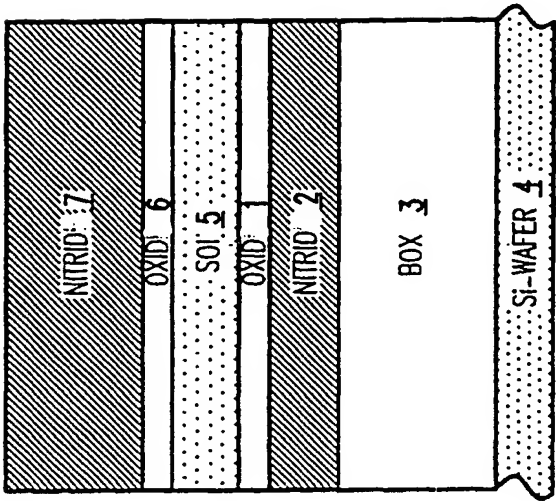


FIG.6

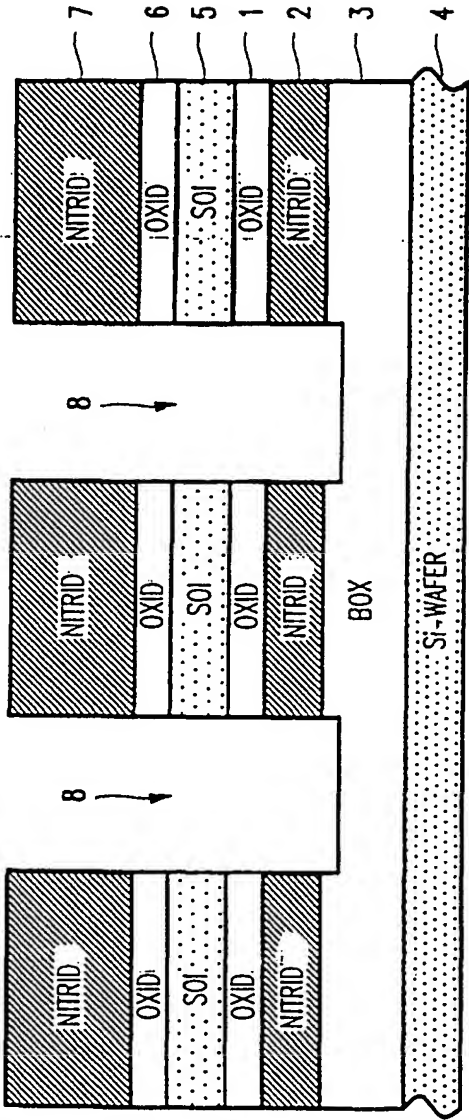


FIG. 7

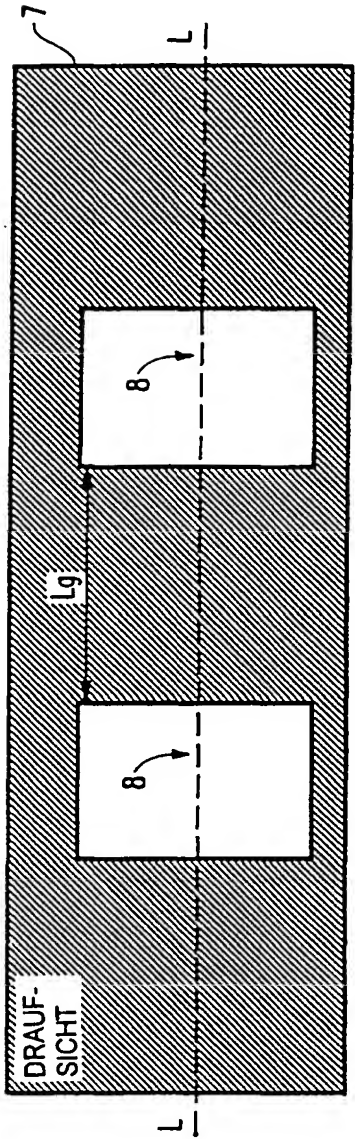


FIG. 8

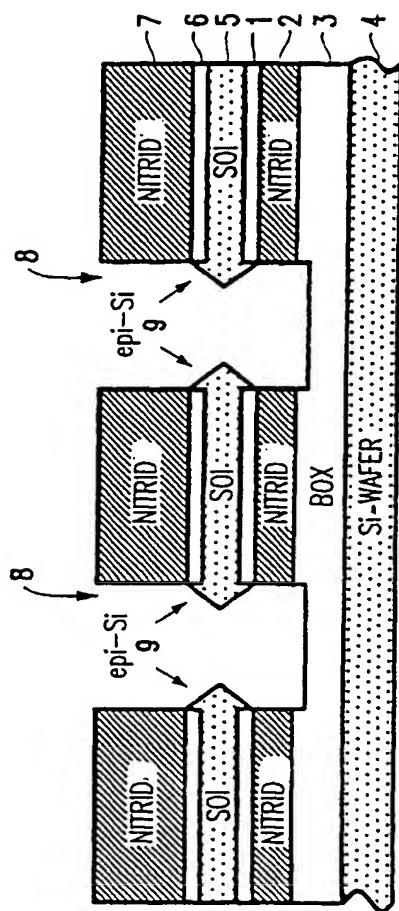


FIG. 9

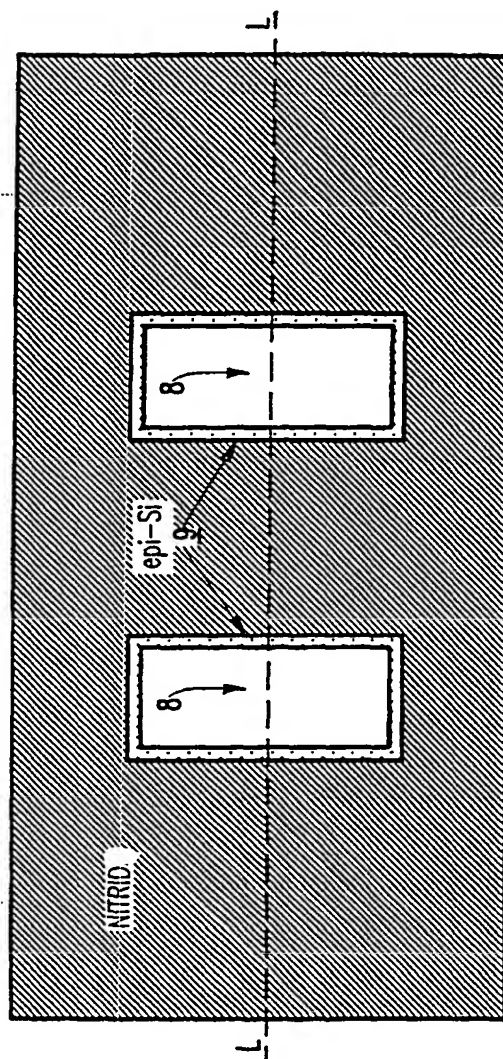


FIG. 10

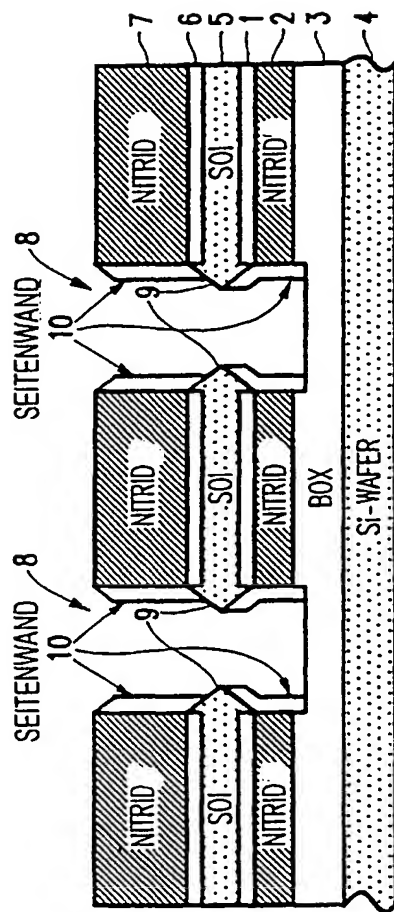


FIG.11

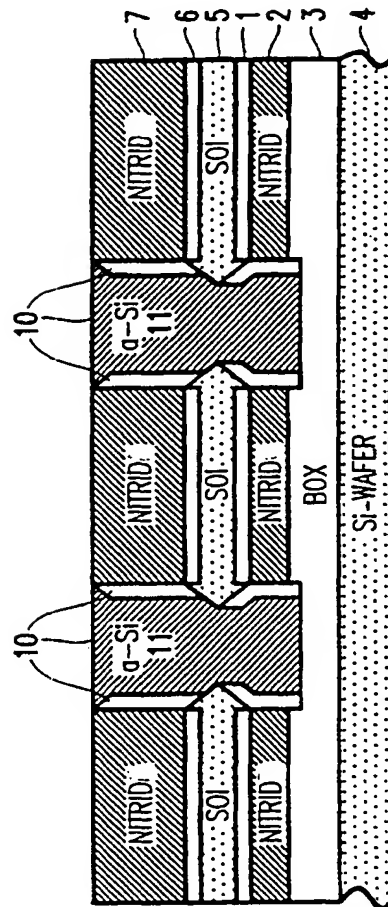


FIG.12

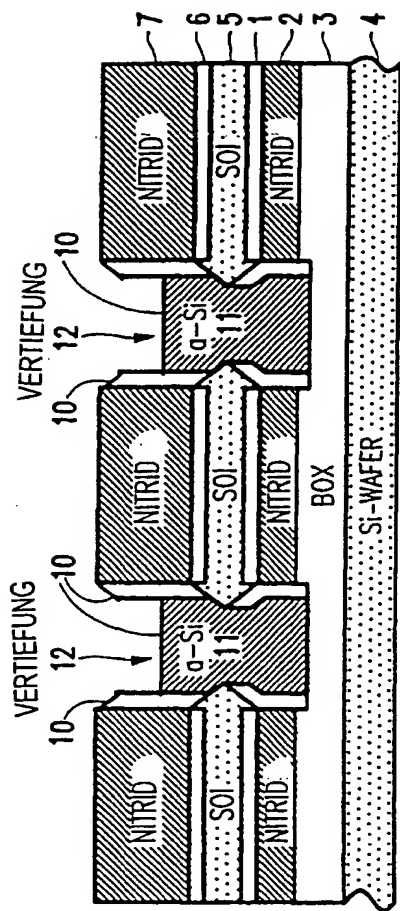


FIG.13

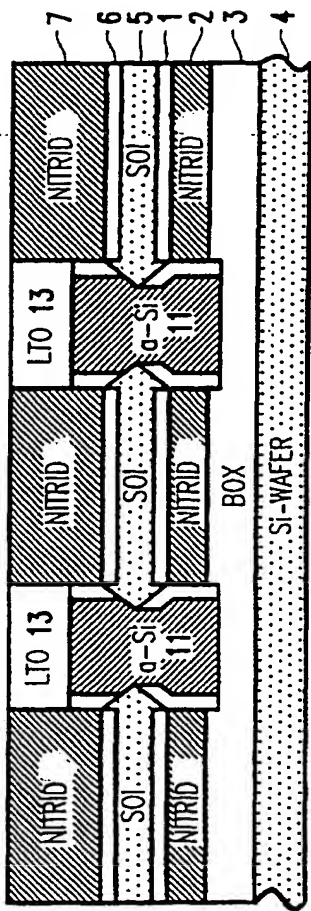


FIG.14

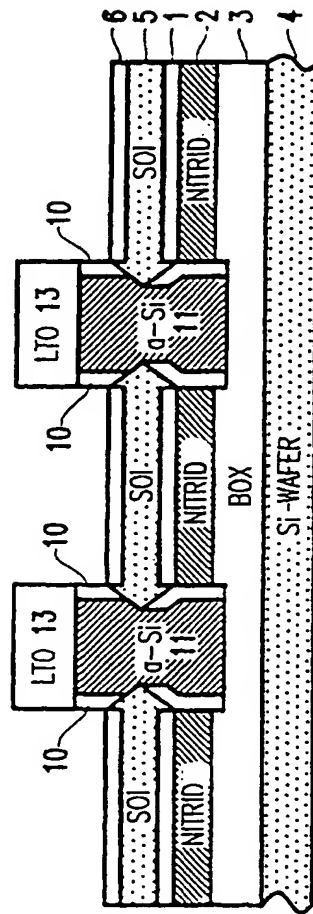


FIG.15

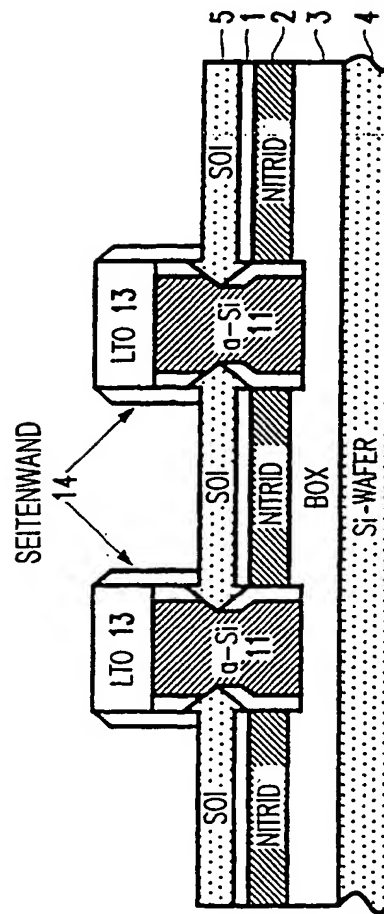


FIG.16

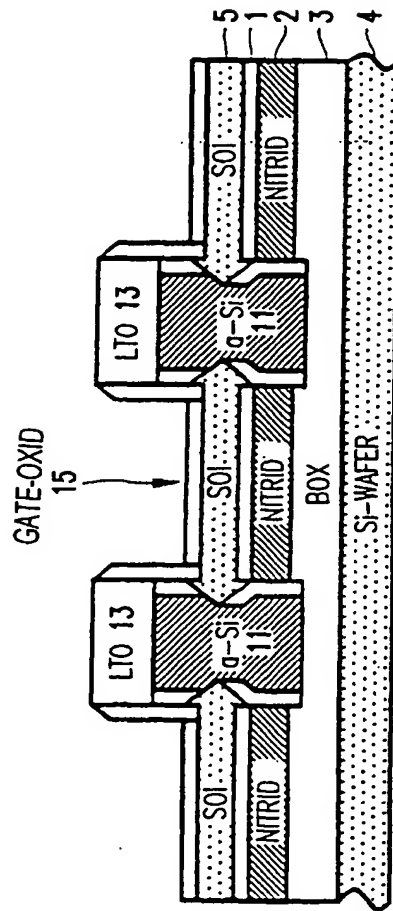


FIG. 17

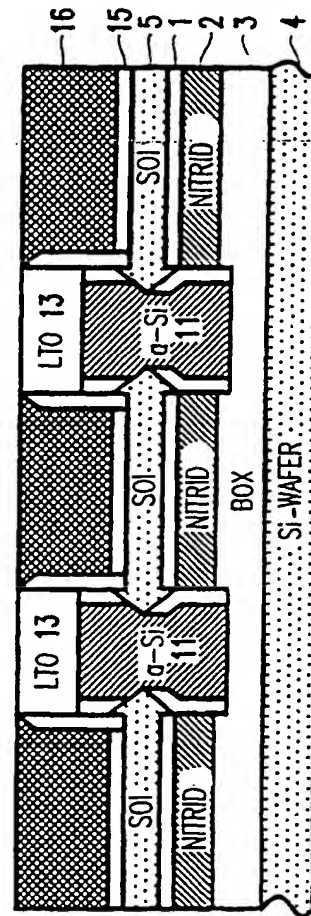


FIG. 18

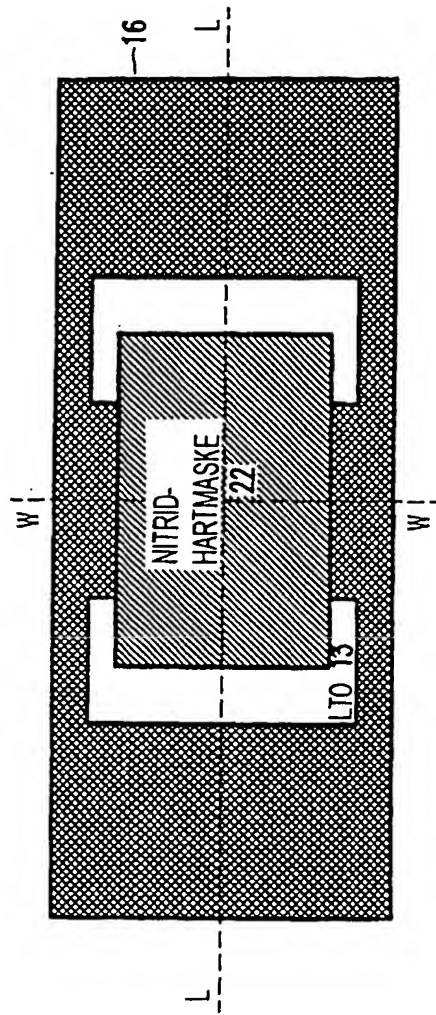


FIG. 19

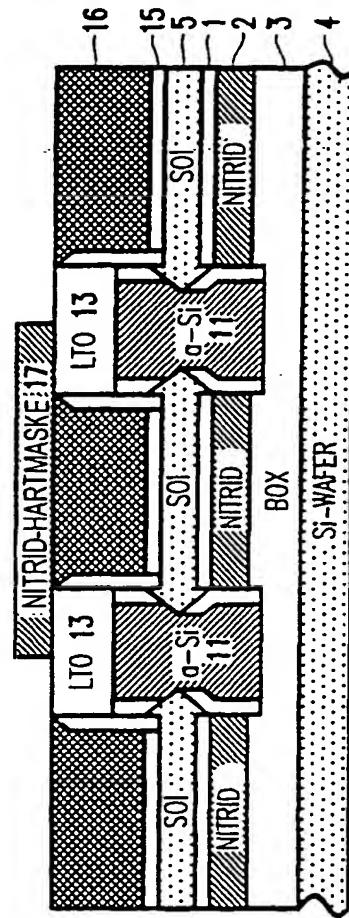


FIG. 20

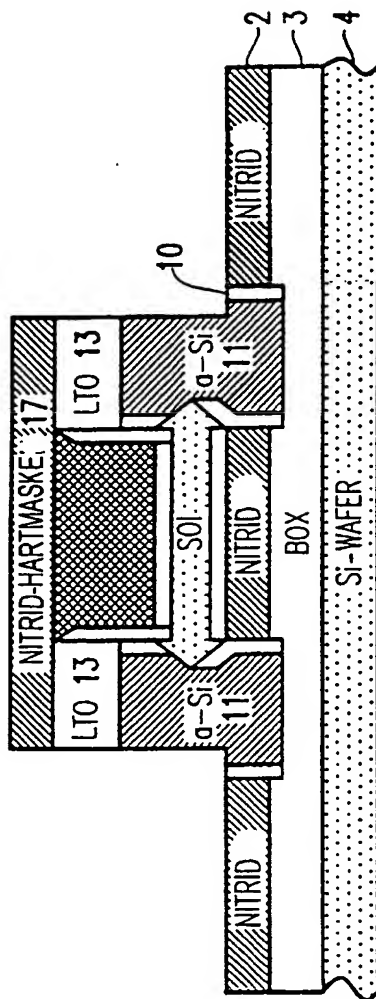


FIG. 21

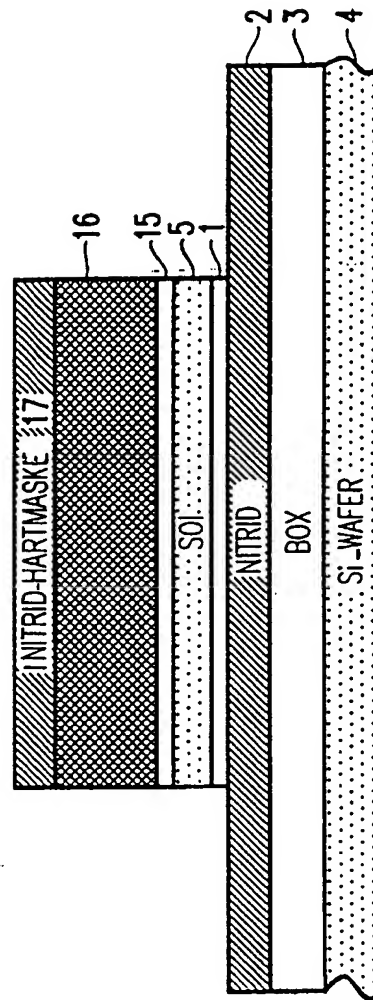


FIG. 22

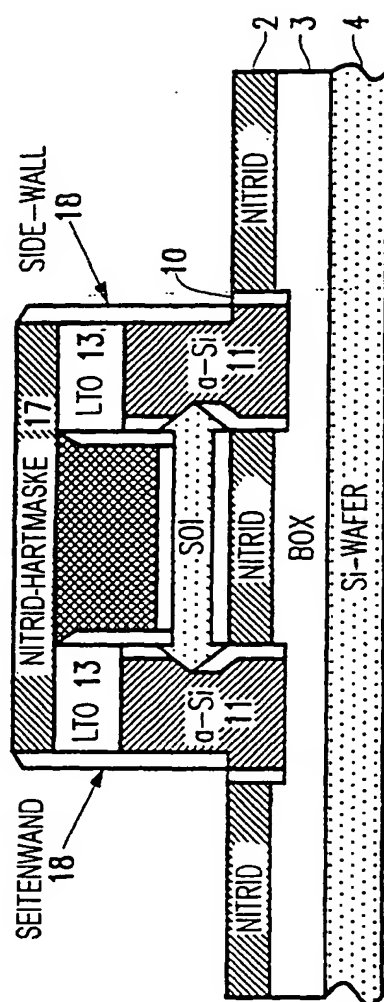


FIG. 23

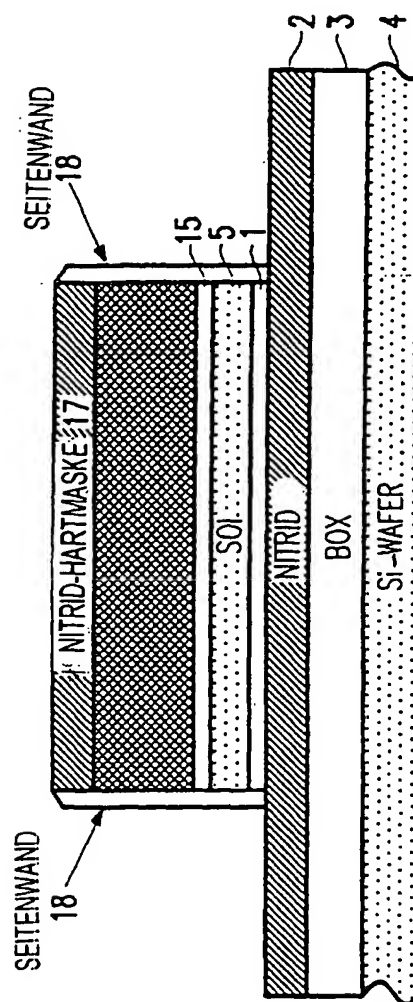


FIG. 24

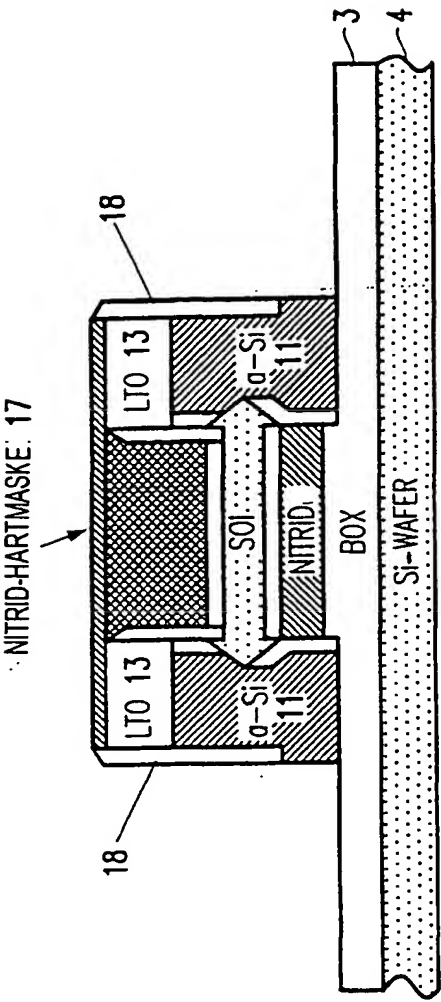


FIG. 25

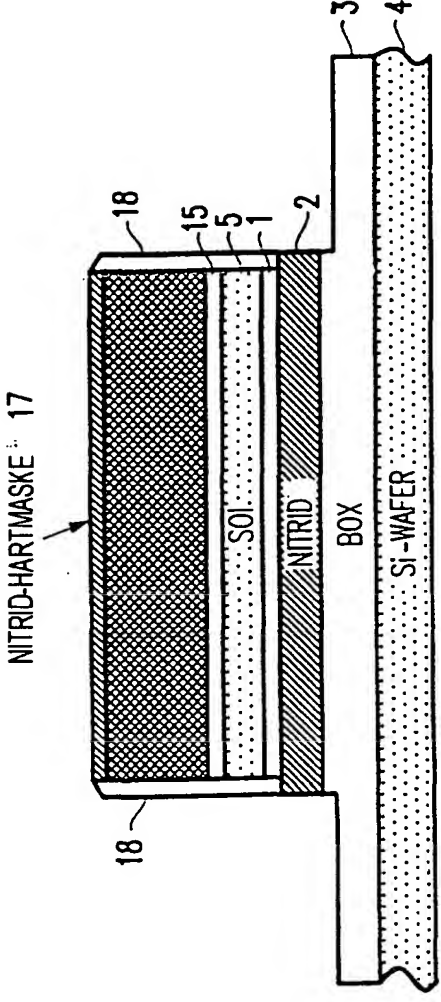


FIG. 26

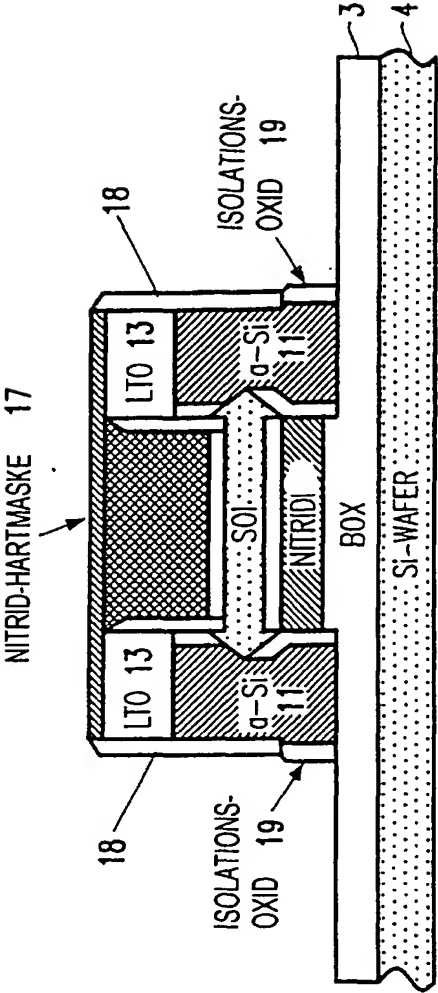


FIG. 27

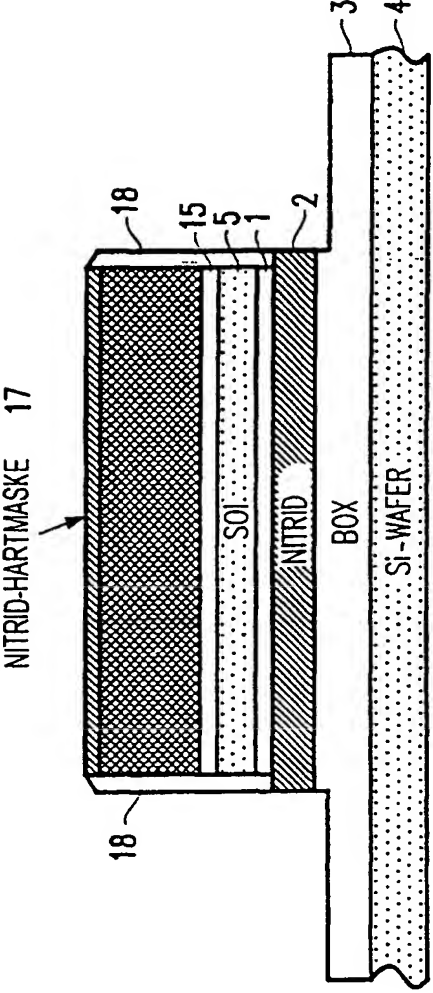


FIG. 28

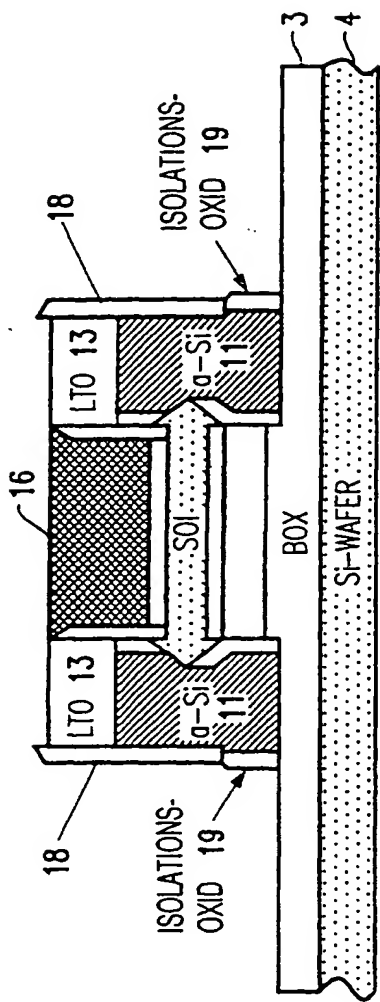


FIG. 29

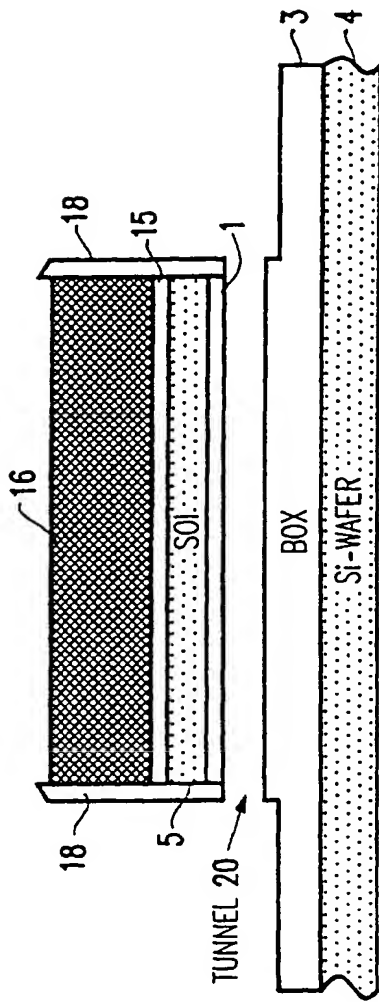


FIG. 30

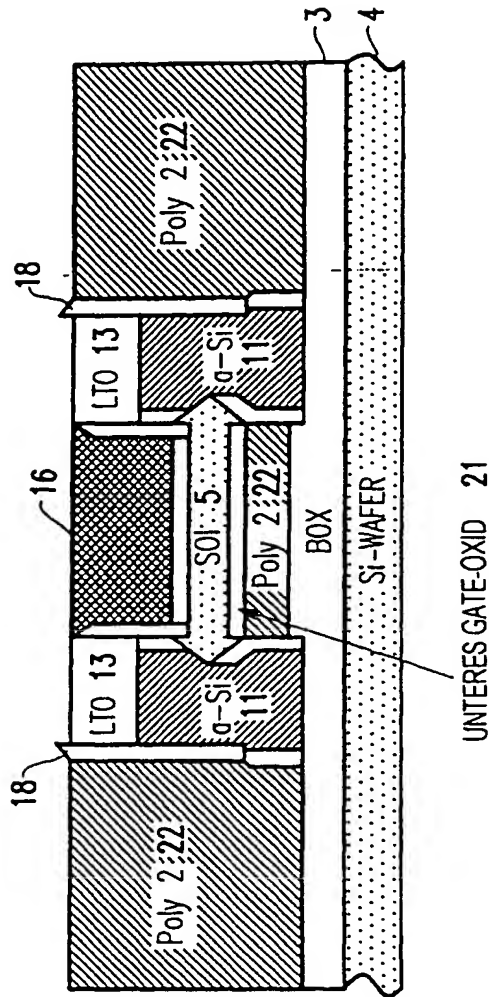


FIG.31

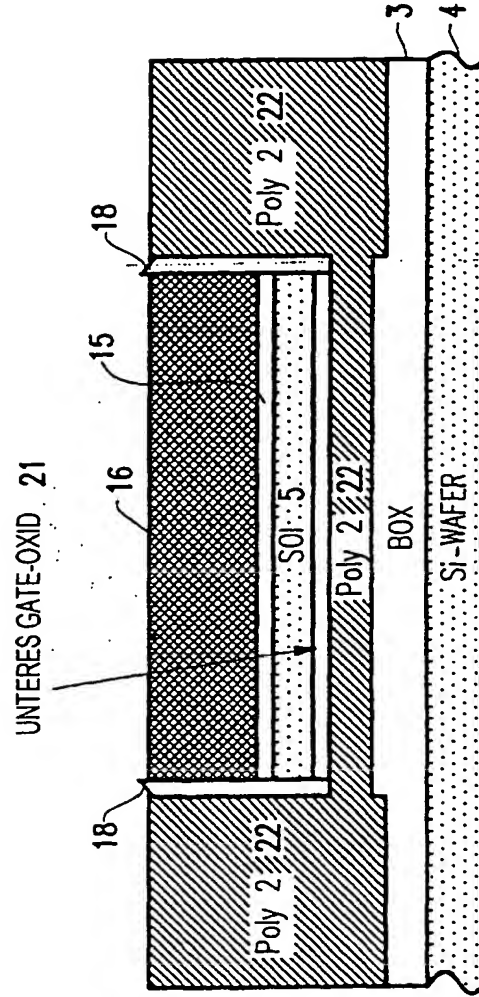


FIG.32

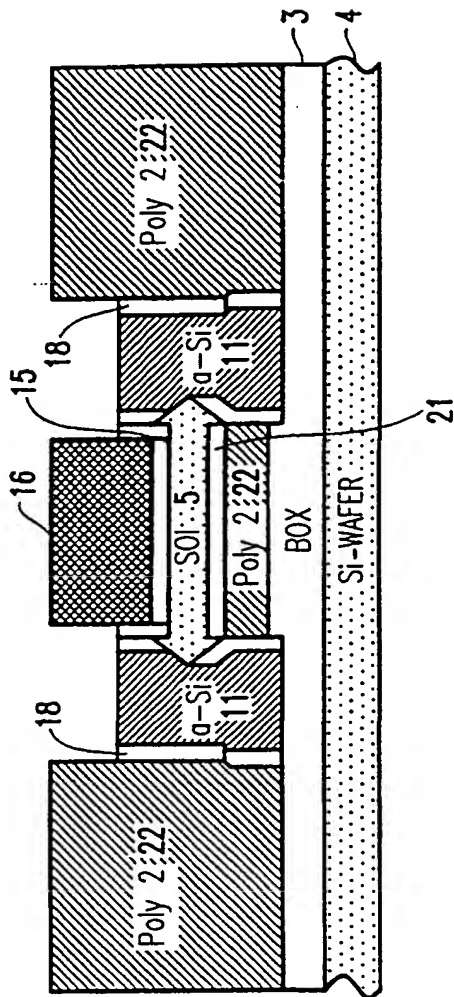


FIG.33

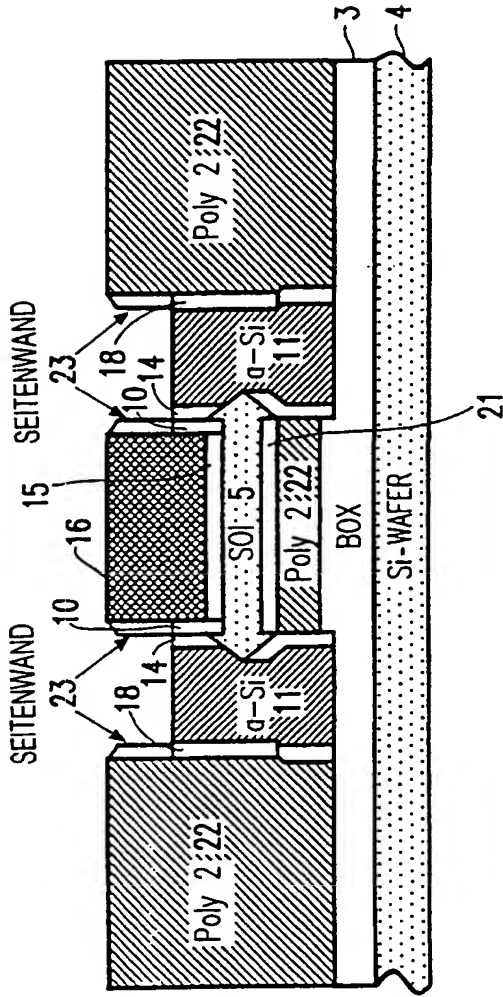


FIG.34

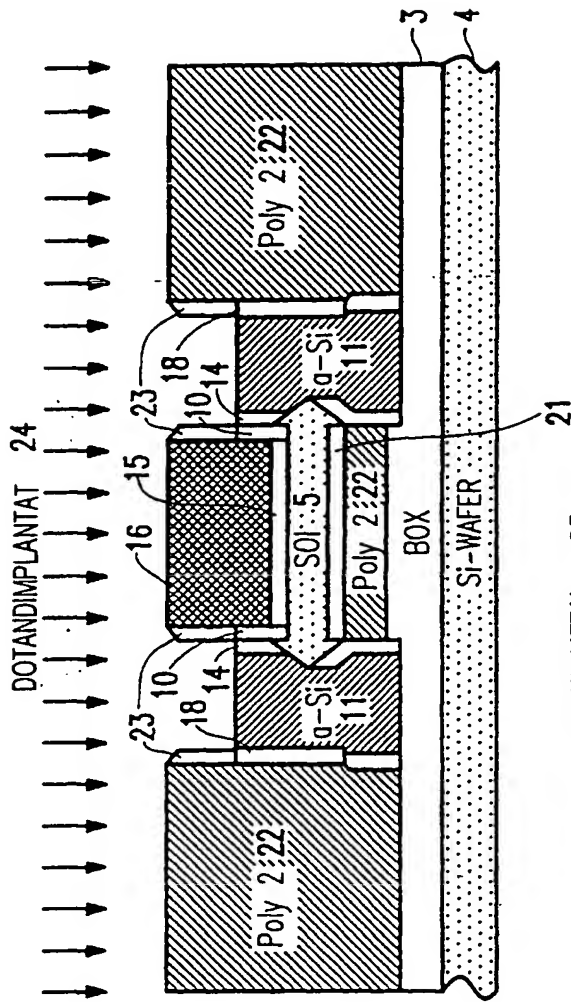


FIG. 35

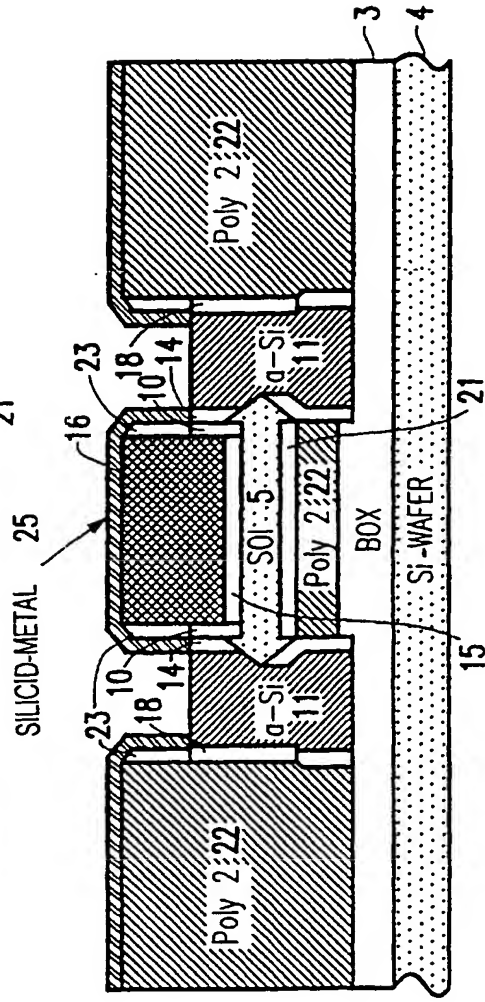


FIG. 36

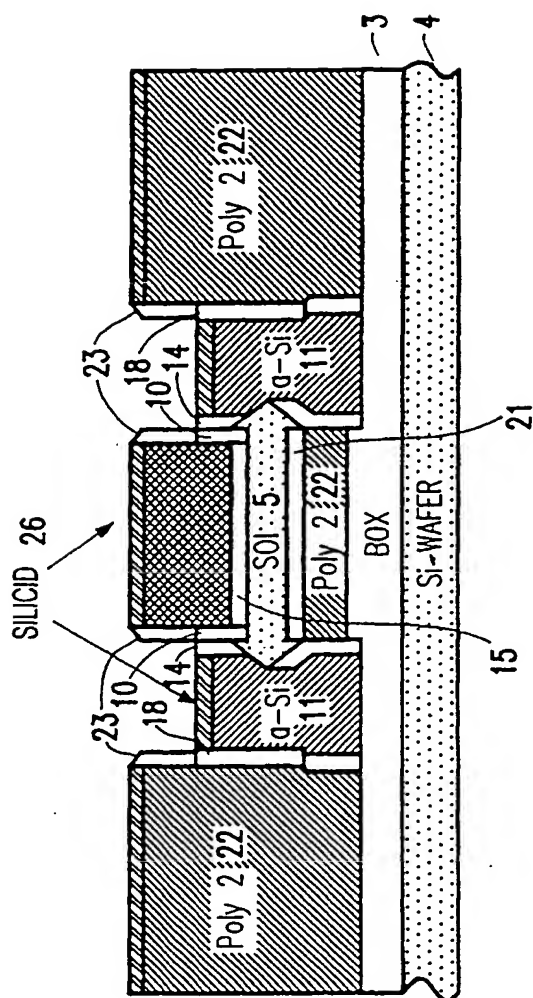


FIG. 37

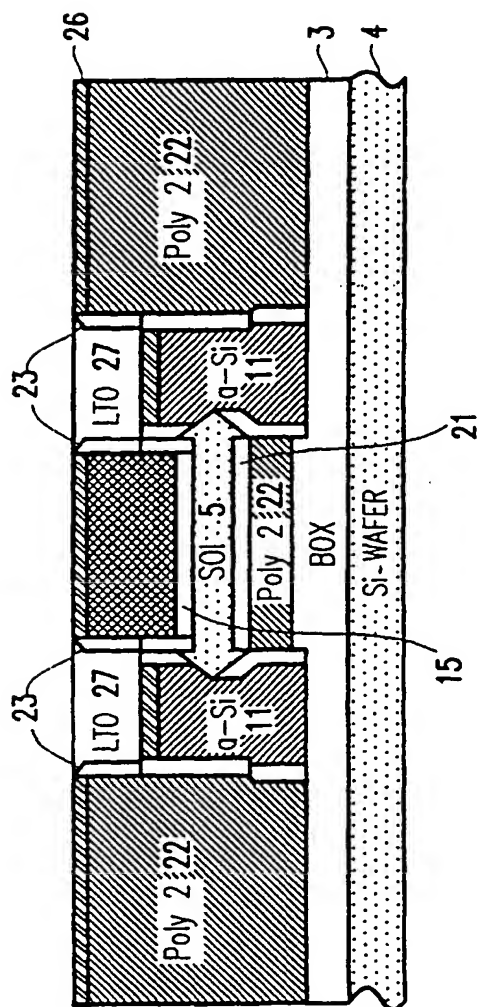


FIG. 38

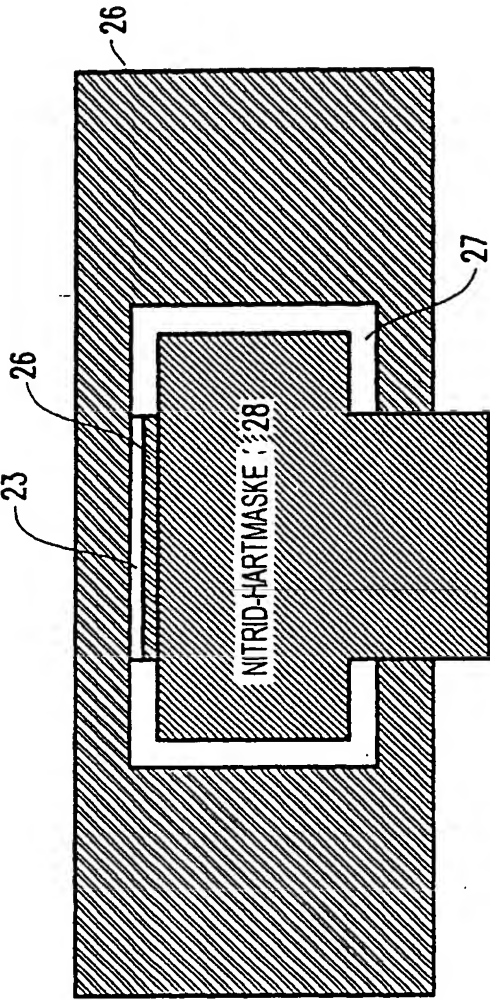


FIG. 39

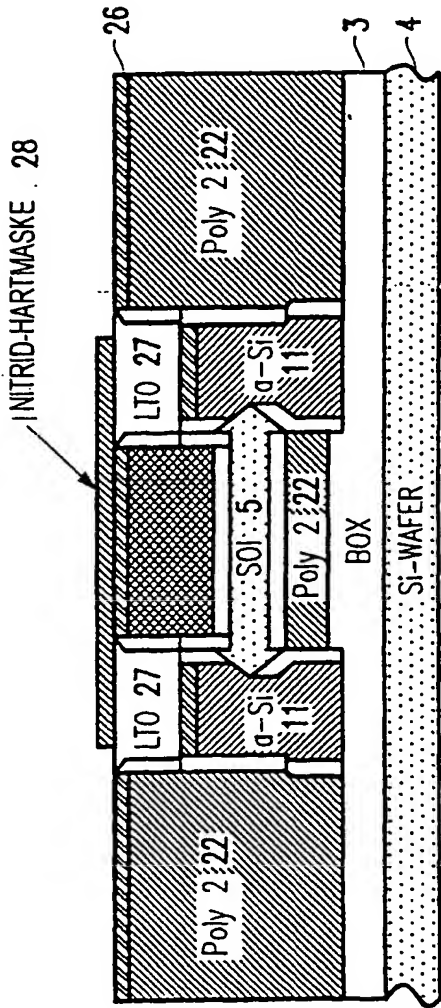


FIG. 40

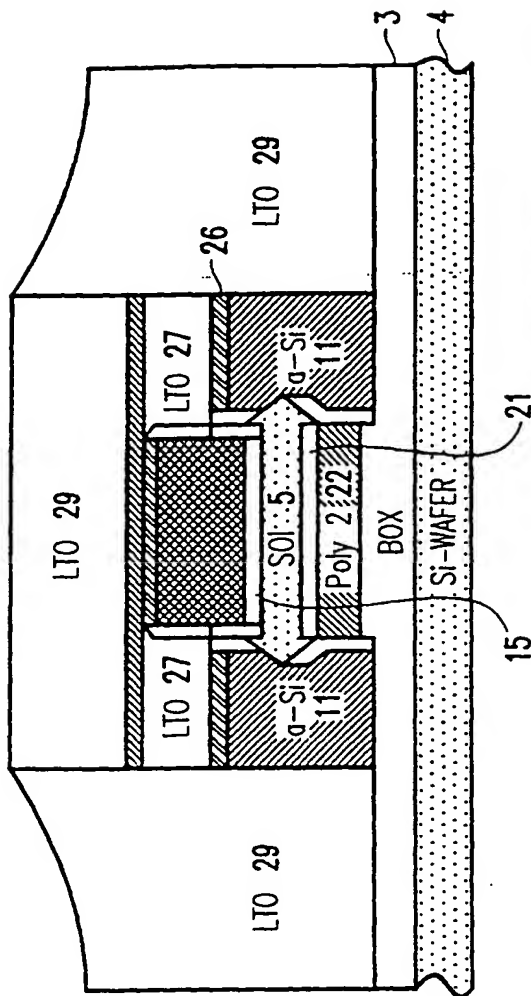


FIG. 41

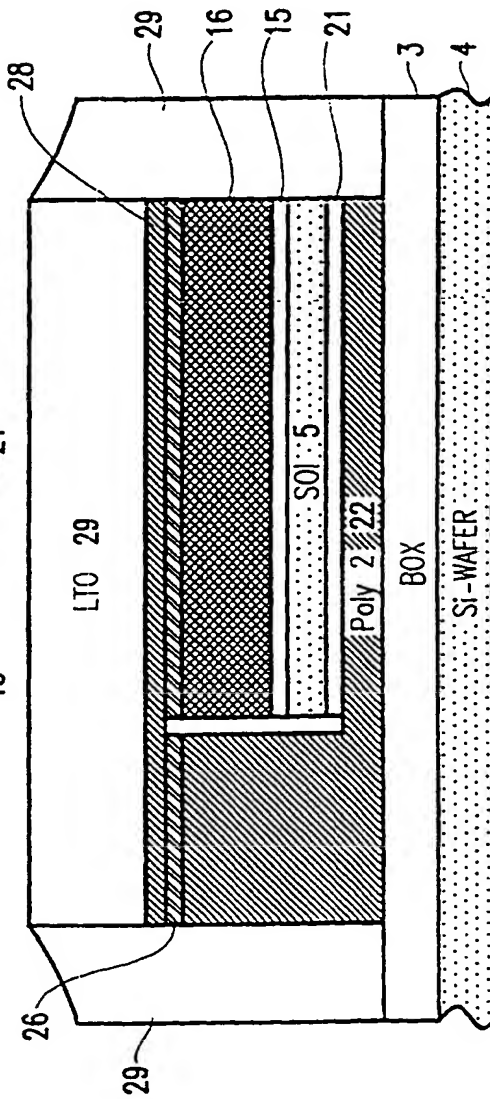


FIG. 42

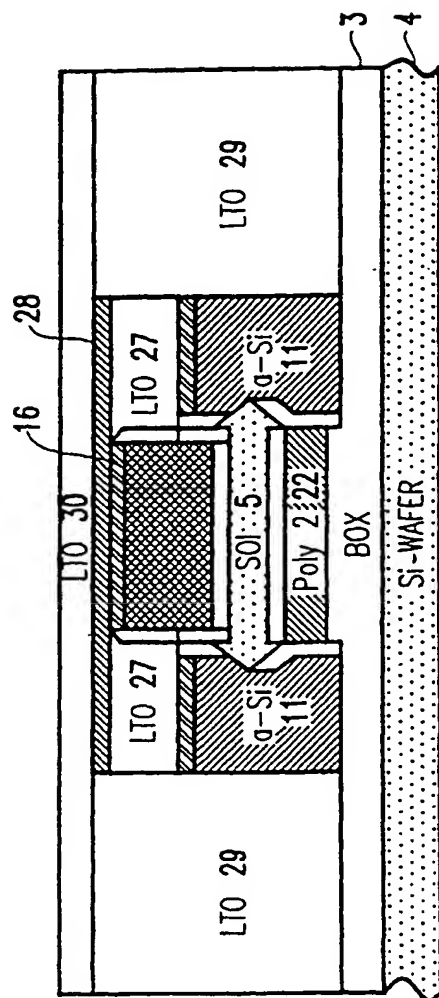


FIG. 43

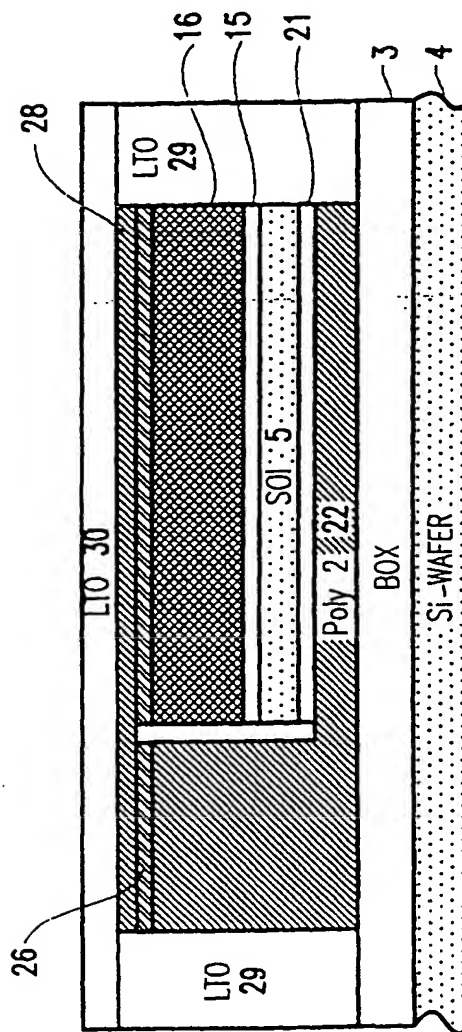


FIG. 44

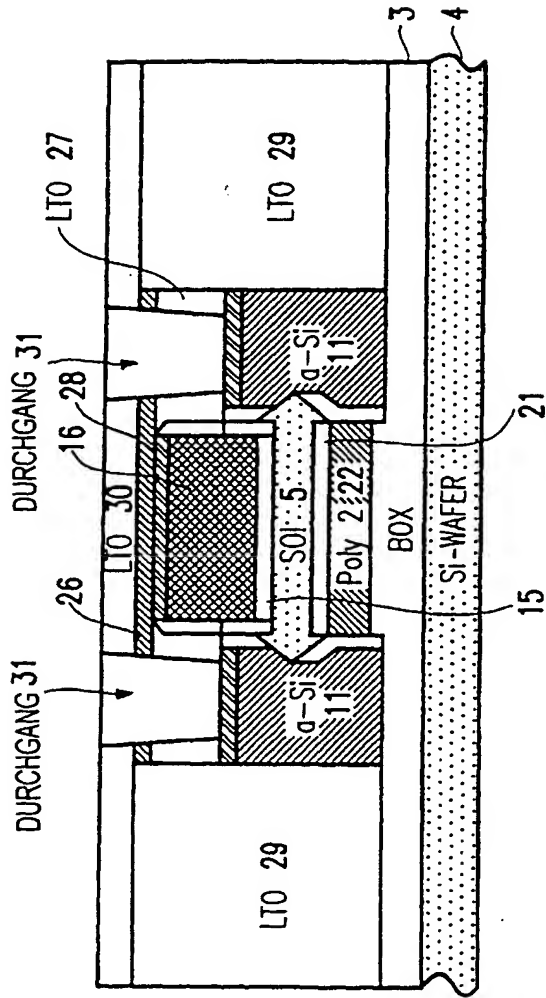


FIG. 45

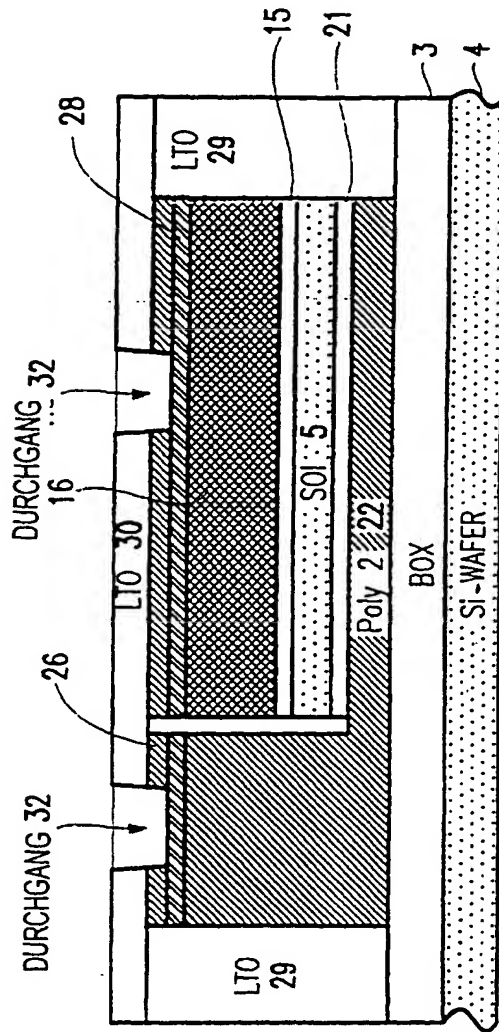


FIG. 46

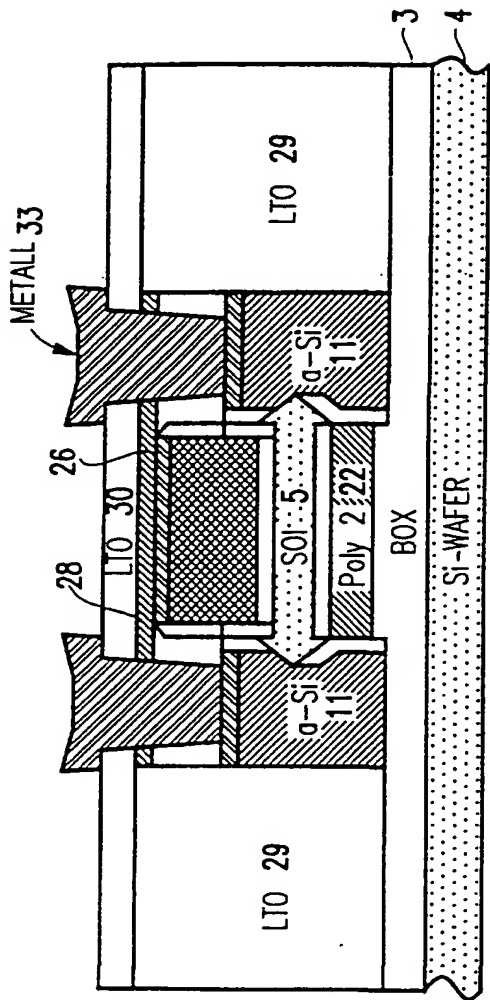


FIG. 47

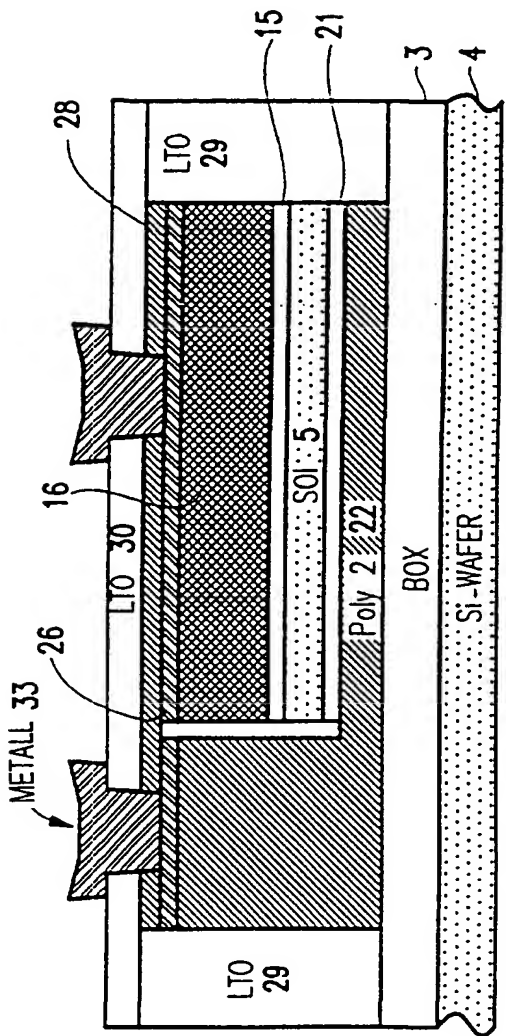


FIG. 48

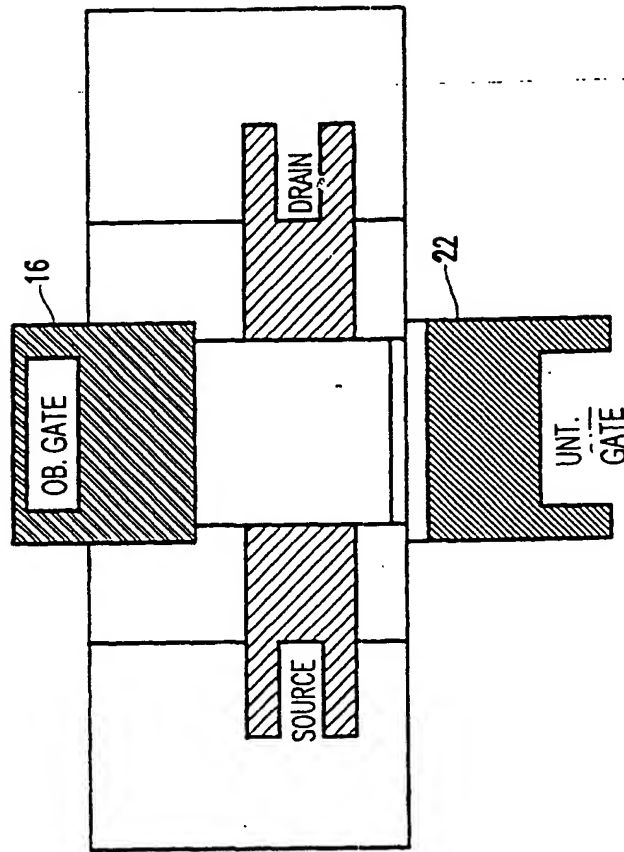


FIG. 49